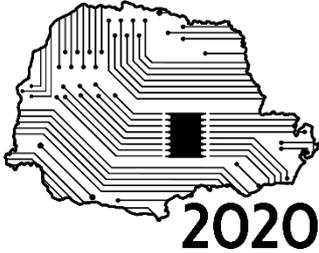


SeMicro-PR



Projeto de um Conversor Analógico-Digital de 1 bit em Tecnologia CMOS Dedicado a Sistemas de Comunicação 5G

Alexandre Zem de Moraes¹, André Augusto Mariano¹,
¹Grupo de Circuitos e Sistemas Integrados (GICS) - Departamento de Engenharia Elétrica, Universidade Federal do Paraná, Curitiba, Brasil
alexandrezem99@gmail.com, mariano@ufpr.br

Resumo—O presente artigo tem como objetivo a análise entre o valor de consumo de potência de um conversor analógico-digital (ADC) de baixa resolução implementado na prática e o valor fornecido por um modelo teórico investigado na literatura, no contexto de cenários de desenvolvimento tecnológico para a quinta geração de telefonia móvel (5G). O modelo de referência investigado propõe um valor de consumo de 200 μW para ADC's de 1 bit. O conversor desenvolvido foi implementado em tecnologia 130 nm CMOS, utilizando o software Cadence Virtuoso. A potência obtida, em frequência de operação de 200 MHz, foi de 46, 181 μW .

I. INTRODUÇÃO

O cenário de desenvolvimento da tecnologia 5G requer a utilização de altas frequências de operação (20 GHz ~ 60 GHz) para manter o fluxo de dados que as estações rádio-base (ERB) suportarão. O uso de tecnologias como direcionamento da transmissão por feixe (*beamforming wave*) e a implementação de um número massivo de antenas (*Massive MIMO = Massive Multiple-Input-Multiple-Output*) são abordagens adotadas para diminuir os problemas de transmissão e fazer um bom uso do espectro de frequência pela estação.

Embora a implementação de MIMO's contribua com a redução nas perdas de transmissão, tal implementação se depara com um aumento no gasto de energia em transceptores, levando ao desenvolvimento de técnicas de otimização para gasto de potência em tais sistemas, caso que já vem sendo estudado na literatura [1].

A utilização de conversores de baixa resolução oferece vantagens em aplicações que requerem baixo consumo de potência, como no caso dos sistemas de recepção em estações rádio-base. Entretanto, a utilização de tais circuitos causa a perda de resolução na estação,

levando a um impasse entre qualidade de tratamento do sinal e gasto de energia.

Análises de otimização vêm sendo realizadas para determinar o número ideal de conversores de baixa resolução a serem dispostos na ERB, a fim de adequar o consumo de potência a alguns parâmetros de performance, como a eficiência espectral [2]. A potência consumida pela ERB, calculada em tais análises, leva em consideração modelos de consumo de potência de blocos funcionais dos circuitos de recepção - mixers, ADC's, amplificadores de baixo ruído (*LNA's*), entre outros.

De acordo com o exposto, o presente trabalho tem como objetivo principal analisar o quão próximo o valor teórico de consumo de potência de um conversor analógico-digital de 1 bit está de uma situação de consumo de potência prática.

O artigo se organiza da seguinte maneira: a seção II apresenta uma revisão da literatura; a seção III exibe a topologia do conversor definido como ferramenta de comparação; a seção IV apresenta os resultados e discussões; a seção V trata das conclusões.

II. REVISÃO DA LITERATURA

Para este trabalho, o artigo [2] foi adotado como referência principal para o desenvolvimento do objeto de estudo - a relação entre a potência teórica e a observada na prática.

Neste artigo, o estudo busca otimizar o número de ADC's de baixa e alta resolução ao serem dispostos em um sistema MIMO massivo, restringindo o consumo de potência da cadeia RF. Ao conceber e desenvolver o problema de otimização, os autores

deduzem que o valor da variável de otimização μ deveria ser adotado da seguinte maneira:

$$\begin{aligned} \mu &= 0, \text{ se } \rho \geq \rho_{th} \\ \mu &= 1, \text{ se } \rho \leq \rho_{th} \end{aligned} \quad (1)$$

Onde ρ_{th} é definido como um valor limiar de, aproximadamente, 2,5 e ρ é definido como a razão P_0/P_1 , dada por

$$\frac{P_{LNA}+P_H+2P_M+2P_{AGC}+2P_{ADC}^H}{P_{LNA}+P_H+2P_M+2P_{ADC}^L} \quad (2)$$

P_0 e P_1 representam o consumo de potência da cadeia RF contendo ADC's de alta e baixa resolução (1 bit), respectivamente. Para provar que, na prática, o valor de ρ se encontra acima do limiar, são considerados valores para cada bloco de circuito em (2). No caso do ADC de 1 bit, representado por P_{ADC}^L , o valor adotado é de 200 μ W.

Os autores de [2] não especificam o modelo utilizado para o cálculo deste valor, apresentando somente o seu resultado. Uma pesquisa mais aprofundada na literatura e nas referências indicadas pelos autores pôde identificá-lo. Tal modelo é apresentado a seguir.

A. Modelo considerando ruído térmico

Para caracterizar a potência consumida pela cadeia RF no estudo sobre o impacto do uso de conversores em sistemas de recepção de multi-antena, [3] adota o seguinte modelo:

$$P = c_0 \cdot \sigma^2 \cdot \sum_{i:b_i>0} 2^{b_i} + c_1 \quad (3)$$

A potência consumida pelos ADC's é dada pela primeira parcela do membro direito da equação, ou seja:

$$P_{ADC} = c_0 \cdot \sigma^2 \cdot 2^{b_i} \quad (4)$$

O parâmetro c_0 é uma constante que depende do projeto do conversor e σ^2 é a potência de ruído observada em cada antena receptora. Os dados especificados em [3] são $c_0 = 1 \times 10^{-4}/\sigma^2$. Nota-se que, para tal equação, utilizando o número de bits, representado por b , igual a 1 e 8, o valor de potência calculado é de 0,2 mW e 25,6 mW, respectivamente, igualando-se aos valores propostos em [2].

Diferente dos modelos apresentados em [4] (considera o número efetivo de bits - *ENOB*) e em [5] (considera parâmetros de projeto do conversor), a equação (4) se baseia em [6], que propõe o ruído térmico como o fator limitante nas tecnologias de conversão.

O modelo considerando o ruído térmico não é indicado para ADC's de baixa resolução, mas garante

uma análise em cenários onde a potência de ruído é um fator limitante no desenvolvimento do bloco de conversão e vem sendo utilizado como referência principal nas análises de eficiência energética de receptores.

III. CONVERSOR DE 1 BIT DESENVOLVIDO

O estudo de ADC's de baixa resolução no contexto de análise de sistemas vem produzindo uma grande quantidade de trabalhos nos últimos anos. Para o desenvolvimento do conversor analógico-digital de 1 bit, o artigo [7] foi selecionado por conta da contextualização na crescente utilização de conversores de baixa resolução em sistemas de RF.

A topologia escolhida para o ADC foi baseada em uma de suas referências, o artigo [8]. Nele, o conversor é composto por um comparador seguido de um estágio lógico de sincronia - o *latch*.

Para este artigo, o comparador utilizado foi otimizado de acordo com [9], e o circuito digital foi desenvolvido de acordo com a topologia de [10]. O esquemático do circuito completo se encontra na Fig. 1.

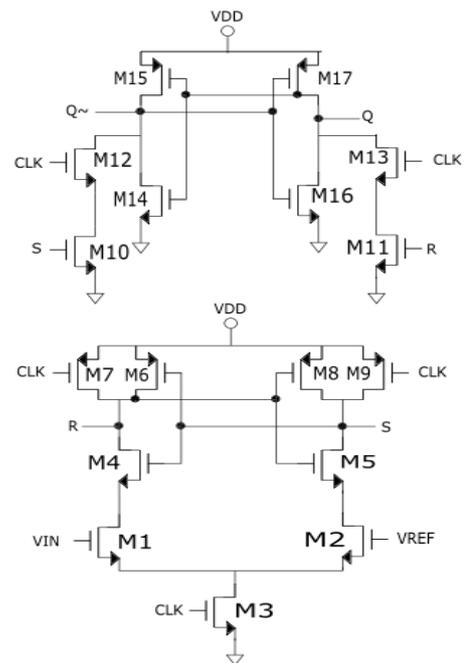


Fig.1 Esquemático do ADC de 1 bit

Valores de largura dos transistores: M1-M2 = 750 nm; M3, M10-M13 = 1,2 μ m; M4-M9 = 160 nm; M14 e M16 = 240 nm; M15 e M17 = 960 nm. Todos implementados com comprimento de 120 nm.

M3 foi projetado para reduzir o atraso do comparador, enquanto o par M1-M2 foi projetado para ser funcional mesmo com uma relação W/L baixa. M10-M13 foram projetados para fornecer um valor de corrente necessário para contribuir com o processo regenerativo do *latch*.

IV. RESULTADOS E DISCUSSÕES

A. Simulação e potência obtida

O ambiente de simulação ADE XL, do software *Virtuoso*®, foi utilizado para obter a potência do conversor de 1 bit. Para simulação, uma frequência de *clock* de 200 MHz foi utilizada, sendo a tensão de referência (V_{REF}) igual a 720 mV. A tensão de alimentação adotada para todo o circuito foi de 1,2 V.

Para obter a potência total do conversor proposto, o método de cálculo consiste em somar as potências estática e dinâmica. Dessa forma, a potência estática obtida foi de $41,1 \mu W$, enquanto a dinâmica, $5,081 \mu W$. Portanto, o conversor consumiu uma potência total de $46,181 \mu W$.

B. Relação com eficiência espectral

A partir do problema de otimização proposto em [2], descrito na seção II, a variável de otimização ρ é a razão P_0/P_1 e caso ultrapasse o valor limite de 2,5, então a estação rádio-base poderia ter em sua arquitetura a disposição integral de conversores de 1 bit.

Nesta referência os autores já haviam, por meio dos modelos e valores pesquisados na literatura, chegado à conclusão de que ρ ultrapassa o valor de 2,5. Não obstante, a utilização do modelo de conversor apresentado no presente artigo mudou o valor desta variável.

Utilizando-se dos valores adotados em [2] para a equação (2) e $P_L^{ADC} = 46,181 \mu W$, o novo valor atingido para a relação P_0/P_1 foi de $\rho = 7,06$.

Em relação à referência que adota $P_{ADC}^L = 200 \mu W$ e cujo valor calculado para a variável ρ é de 6,8, a relação P_0/P_1 melhorou em, aproximadamente, 3,82 %. Neste cenário de desenvolvimento, caso a eficiência espectral estivesse sendo tomada como uma das principais métricas de avaliação, ela poderia ser observada de acordo com o modelo deduzido [2] para um canal cuja técnica de recepção é a MRC (*Maximum Ratio Combining*) e que pode ser analisada na Fig. 2.

Nela, observa-se que para um valor de $\rho = 7,06$, a soma de eficiência espectral (SE) da rede quando esta dispõe de uma arquitetura somente constituída de conversores de baixa resolução chega a 30 bits/s/Hz, para uma relação sinal-ruído (SNR) de até 20 dB.

C. Discussões gerais

O valor obtido com o presente trabalho representou uma diferença muito pequena na variável de otimização ρ . Sob o ponto de vista de simulações de rede, considera-se

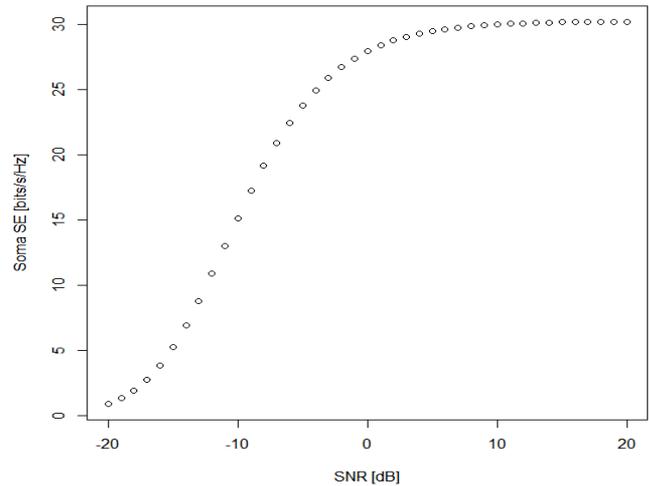


Fig. 2 Curva soma SE vs SNR - canal MRC

que o valor de $200 \mu W$, adotado em [2], está adequado para representar um caso aproximado. Mesmo que o modelo utilizado seja pessimista em relação a conversores de baixa resolução, a ordem de grandeza apresentada é um bom indicativo para demonstrar uma discrepância entre o consumo de um conversor de baixa e alta resolução. Mesmo assim, algumas observações são feitas com base nos modelos e no resultado obtido com o presente trabalho.

Conforme a equação (2), circuitos como o LNA implicam em um consumo muito superior ao consumo do conversor de baixa resolução e, portanto, implicam em uma diferença muito maior observado na variável de otimização ρ .

O modelo apresentado em (4) baseia-se no estudo do estado-da-arte dos conversores, concebido a partir da análise de publicações recentes realizadas em [11]. O valor da constante c_0 é um valor obtido a partir do histórico de publicações atualizado com base em tal referência e, portanto, aproximado.

Se desde [2] até 2020, ano da elaboração do presente artigo, as publicações em [11] apresentassem maior incidência de trabalhos sobre conversores de baixa resolução, as análises gráficas sobre as figuras de mérito de Walden e Schreier poderiam sofrer diferenças, o que levaria a uma possível mudança nos valores de parâmetros a serem utilizados em modelos de potência - ainda que esta mudança fosse pequena ou a diferença não tivesse um impacto significativo nas análises.

Sob o ponto de vista da área de desenvolvimento de circuitos, considera-se que a diferença no consumo de potência é significativa por questões de *design*.

Como exemplo, o consumo do comparador desenvolvido em [12] varia entre valores aproximados de $5 \mu\text{W}$ e $35 \mu\text{W}$, dependendo da tensão de referência (V_{ref}) e de alimentação (V_{dd}) consideradas em seu *design*.

Observa-se ainda que ao longo da última década, a melhoria nos designs de comparadores vem impactando o consumo de potência atualizado pelos autores.

Como exemplo, em 2007 um comparador estaria consumindo uma potência média de $276,62 \mu\text{W}$, enquanto o proposto em 2019 consumiria $72,2 \mu\text{W}$ [13].

Considerando que a abordagem do projetista de circuito para projeto de um ADC de 1 bit seja a mesma proposta neste trabalho, ou seja, constituído por um estágio analógico (comparador) seguido de um estágio digital (latch), o valor atual de $200 \mu\text{W}$ poderia ser considerado um limite para o consumo de tal conversor. O problema principal estaria na otimização de projeto com restrição à potência consumida pelo estágio analógico (i.e. o comparador), pois a potência consumida pelo estágio digital é menor em relação à ele.

Um levantamento a respeito do quão alto se encontra este valor limite não cabe a este estudo, pois haveria de ser realizado uma investigação maior na literatura, tomando como referência a potência consumida por comparadores ao longo dos últimos anos. Não obstante, a tendência é que este valor abaixe.

Um estudo prático com os demais valores de potência adotados em (2) e com base na literatura poderia avaliar se os modelos impactam de forma acentuada a teoria de sistema proposto pela referência principal e analisar como o receptor contendo conversores de baixa resolução, dentro de um ambiente de teste controlado, se comportaria frente ao compromisso entre baixo consumo de potência e perda de resolução.

V. CONCLUSÃO

O presente artigo teve como objetivo comparar o valor teórico de potência fornecido pela literatura com o valor obtido na concepção de um ADC de 1 bit na prática, no contexto de conversores de baixa resolução aplicados ao cenário de desenvolvimento da tecnologia 5G.

O conversor implementado foi baseado em um comparador dinâmico seguido de um latch. A potência obtida com base em simulação do esquemático do circuito foi de $46,181 \mu\text{W}$, diferente da fornecida pela literatura, i.e. $200 \mu\text{W}$. Dessa forma, o design otimizado do conversor proposto reduziu o consumo para, aproximadamente, 25% do valor fornecido. Com base neste valor, se o conversor fosse aplicado em um cenário de desenvolvimento contendo MIMO's massivos, a

eficiência espectral do canal seria a maior, de acordo com [2].

Considerou-se que o valor fornecido pela literatura é adequado para ser utilizado nas simulações de sistemas. Sob o ponto de vista do design prático de circuitos, foi mostrado que o valor obtido a partir da simulação do conversor proposto aproxima-se dos casos práticos. Dessa forma, propõe-se que $200 \mu\text{W}$ seria um limite adequado de potência para os projetistas de circuitos no momento, mas que este valor tende a diminuir.

REFERÊNCIAS

- [1] MEZGHANI, A. e NOSSEK, J. A., "Modeling and minimization of transceiver power consumption in wireless networks", em Proc. IEEE/ITG WSA, pp. 1-8, Fev. 2011
- [2] PIRZADEH, H. e SWINDLEHURST, A., "Spectral efficiency under energy constraint for mixed-ADC MRC massive MIMO", em IEEE Signal Process. Lett., vol. 24, no. 12, pp. 1847-1851, Out. 2017
- [3] BAI, Q. e NOSSEK, J. A., "Energy efficiency maximization for 5G multi-antenna receivers". Trans. Emerg. Telecommun. Technol. 26, 1 (Janeiro 2015), p. 3-14
- [4] ZHANG, J. et al., "Performance Analysis of Mixed-ADC Massive MIMO Systems Over Rician Fading Channels," em IEEE Journal on Selected Areas in Communications, vol. 35, no. 6, pp. 1327-1338, Junho 2017
- [5] LAUWERS, E. e GIELEN, G., "Power estimation methods for analog circuits for architectural exploration of integrated systems," em IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 10, no. 2, pp. 155-162, Abril 2002
- [6] LEE, H. e SODINI, C. G., "Analog-to-Digital Converters: Digitizing the Analog World," em Proceedings of the IEEE, vol. 96, no. 2, pp. 323-334, Fev. 2008
- [7] RODENBECK, C. T.; FERGUSON, A. C. e PANKONIN, J. M., "Monobit subsampler for digital downconversion in pulse-Doppler radar applications," em IEEE Trans. Microw. Theory Techn., vol. 57, no. 5, pp. 1036-1043, Maio 2009.
- [8] MINCEY, J. S. et al., "Blocker-tolerant and high-sensitivity correlation digitizer for radar and coherent receiver applications," em IEEE Trans. Microw. Theory Techn., vol. 65, no. 9, pp. 3453-3463, Set. 2017
- [9] WITCH, B.; NIRSCHL, T. e SCHMITT-LANDSIEDEL, D., "Yield and speed optimization of a latch-type voltage sense amplifier," em IEEE Journal of Solid-State Circuits, vol. 39, no. 7, pp. 1148-1158, Julho 2004
- [10] SEDRA, S.; SMITH, K.. Microeletrônica. 6ª. Edição, Pearson Makron Books, São Paulo, Brasil, p.1207-1208, 2014.
- [11] MURMANN, B., ADC Performance Survey 1997-2016 [Online]. Disponível em: <<http://web.stanford.edu/~murmanna/adcsurvey.html>>. Acesso em Nov. 2019
- [12] RABBI, F. et al., "Design of a Low-Power Ultra High Speed Dynamic Latched Comparator in 90-nm CMOS Technology," 2018 International Conference on Computer, Communication, Chemical, Material and Electronic Engineering (IC4ME2), Rajshahi, 2018, pp. 1-4
- [13] WANG, Y. et al., "A Low-Power High-Speed Dynamic Comparator With a Transconductance-Enhanced Latching Stage," em IEEE Access, vol. 7, pp. 93396-93403, 2019