



e sua multiplicidade 1. Os valores dos componentes passivos estão apresentados na Tabela 1.

TABELA 1. VALORES DOS COMPONENTES PASSIVOS

| Componentes passivos | Valores          |
|----------------------|------------------|
| Cin                  | 16,2 $\mu$ F     |
| C1                   | 55,09 $\mu$ F    |
| C2                   | 55,09 $\mu$ F    |
| RG                   | 59,99 k $\Omega$ |
| R1                   | 1,91 k $\Omega$  |
| R2                   | 6,30 k $\Omega$  |
| R3                   | 3,99 k $\Omega$  |

A tensão de polarização da porta do amplificador aumenta de acordo com a variação de um sinal a partir de um certo limiar [4]. Um circuito de polarização foi proposto, conforme o esquemático da Fig. 1, consistindo de dois blocos. Um que age como um detector, contendo o transistor nMOS (M1), e outro formado por uma rede RC [5]. O aumento da tensão de entrada do circuito de polarização faz com que a tensão de saída do primeiro estágio diminua de VDD para um valor menor, o que resulta no aumento da tensão nodal da saída do valor inicial VBIAS para um valor maior, causado pelo transistor pMOS (M2). Com a diminuição do sinal de entrada, VBIAS diminui para VBIAS0 na saída. Além disso, se utiliza o transistor nMOS (M3) para diminuir a distorção do sinal injetado.

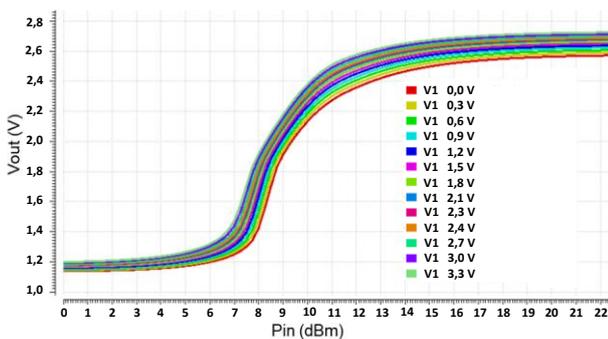


Fig. 2. Tensão de saída pela potência de entrada com V1 variando e V2 igual a 2,3 V

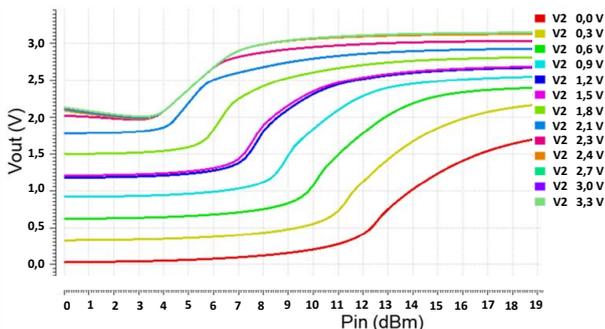


Fig. 3. Tensão de saída pela potência de entrada com V2 variando e V1 igual a 0,49 V

### III. RESULTADOS E DISCUSSÕES

A simulação do circuito foi feita no *software Virtuoso Spectre Circuit Simulator*, sendo que as tensões V1, V2 e VBIAS0 foram geradas por fontes contínuas. Seus valores iniciais foram respectivamente 0,49 V, 2,3 V e 1,17 V, sendo que nas simulações seus valores foram variados, analisando-se o comportamento do circuito em diversos cenários. A tensão escolhida para VDD foi 3,3 V e a frequência na qual as simulações foram feitas é de 2,45 GHz para o sinal de entrada.

O comportamento da tensão de saída do circuito em relação a potência de entrada foi verificado, além da variação dessa tensão de saída para as regiões de baixa (0 dBm) e alta potência (25 dBm).

Primeiramente verificou-se o comportamento da tensão de saída do circuito em relação a potência de entrada com as variações de V1 e V2. Existem três regiões distintas: a primeira, de 0 dBm até 6 dBm, ou de baixa potência, de 6 dBm até 12 dBm, de média potência, e de 12 dBm até 20 dBm, de alta potência. A Fig. 2 apresenta o comportamento da tensão de saída da célula para diferentes valores de V1. Esse aumento faz com que a região de transição se desloque para uma potência de entrada menor, causando uma variação de cerca de 0,3 V. Já a Fig. 3 apresenta a tensão de saída em relação à variação de V2. O aumento de V2 faz com a região de transição se desloque para uma potência de entrada menor e, a partir de V2 igual a 1,7 V, a tensão para pequenas amplitudes não se comporta

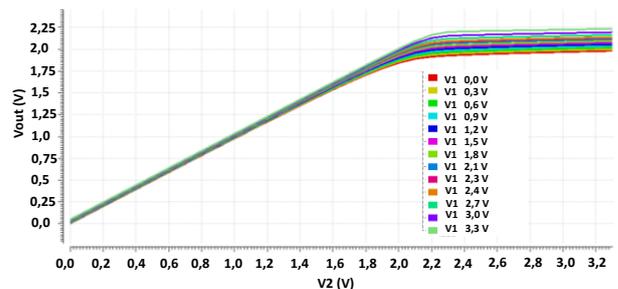


Fig. 4. Valor de baixa potência (0 dBm) de Vout x V2 com diferentes curvas representando diferentes valores de V1

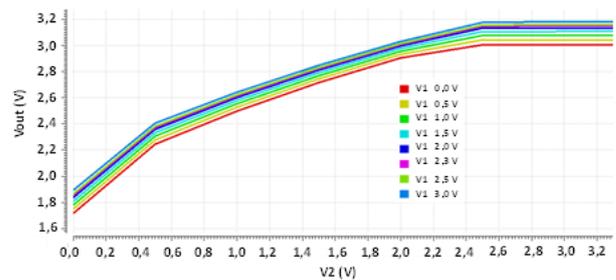


Fig. 5. Valor de alta potência (25 dBm) de Vout x V2 com diferentes curvas representando diferentes valores de V1

da mesma maneira que para valores menores de  $V_2$ , ou seja, há uma grande variação dessa tensão de saída.

Também se analisou o comportamento da tensão de saída para as regiões de baixa e alta potência em relação à  $V_1$  para diferentes valores de  $V_2$ .

A Fig.4 apresenta a tensão de saída em relação à variação de  $V_2$ , para diferentes valores de  $V_1$ , se comportando de forma linear para baixa potência (0 dbm) e gerando uma tensão de saída de 0 V até 2,25 V, ou seja, uma variação de 2,25 V. A Fig. 5 demonstra que, para alta potência (25 dBm), a tensão de saída em relação a  $V_2$  sofre grande variação para diferentes valores de  $V_2$ , indo de 1,7 V até 3,2 V, ou seja, uma variação de 1,5 V.

Tanto a Fig. 2 quanto a Fig. 3 demonstram que para potências menores de entrada, a tensão de saída também será mais baixa, e para potências maiores de entrada, a tensão será mais alta. Esse comportamento segue o esperado para um circuito de polarização adaptativo.

Além disso, a Fig. 4 demonstra que para baixa potência o valor da tensão de saída varia pouco com  $V_1$ , mas sendo mais influenciado por  $V_2$ . Já a Fig. 5 demonstra que para alta potência, a tensão de saída depende de  $V_2$ , mas tem pouca variação com a mudança de  $V_1$ . Também se percebe que para altas potências a tensão de saída é maior, chegando à 3,2 V, enquanto a tensão máxima para baixas potências chega somente até 2,25 V.

#### IV. CONCLUSÃO

O trabalho tinha como motivação a análise de um circuito de polarização que tem sua tensão de saída variante com a potência de entrada. A partir das simulações em diversos cenários, foi possível verificar que para baixas potências de entrada ocorre um aumento da tensão de saída quando se incrementa a potência de entrada. Percebeu-se que para baixas potências o circuito de polarização gera uma tensão de saída entre 0 V e 2,25 V, ou seja, uma variação de 2,25 V, variando mais com  $V_2$  do que com  $V_1$ . Para altas potências a tensão de saída varia entre 1,7 V e 3,2 V, sendo influenciada pelo valor de  $V_2$ , e com pouca variação em relação à tensão  $V_1$ . Dessa forma, utilizando 0 V para a tensão de polarização obtêm-se de 0 V a 1,7 V e aplicando 3,3 V consegue-se uma tensão de saída entre 2,25 V e 3,2 V.

#### REFERÊNCIAS

- [1] B. Tarui, F. Santas, E. L. Santos, B. Leite and A. A. Mariano, "Design of an RF Six-Mode CMOS Power Amplifier for Efficiency Improvement at Power Backoff", 2018. 31st Symposium on Integrated Circuits and Systems Design (SBCCI), Bento Gonçalves - RS, Brazil, 2018, pp. 1-6
- [2] J. Han, et al, "A CMOS Power Amplifier with an adaptive bias scheme for mobile radio frequency identification reader applications", 2007. Microwave Opt. Technol. Lett. 49.
- [3] H. Koo, B. Koo, S. Hong, "Highly Efficient 24-GHz CMOS Linear Power Amplifier with an Adaptive Bias Circuit", 2012. APMC 2012, Kaohsiung, Taiwan, Dec. 4-7.

- [4] B. Koo, N. Yoosam, S. Hong, "Integrated Bias Circuits of RF CMOS Cascode Power Amplifier for Linearity Enhancement. IEEE Transactions on Microwave Theory and Techniques", 2012. v.60, n.20, p. 340 – 351, fev.2012.
- [5] S. Shin; S. Lee, "An adaptive bias circuits for high efficiency power amp." IEEE TENCON, p. 30 – 32, set.2009.

