

Projeto de um Amplificador de Potência Doherty em Tecnologia CMOS 45 nm Dedicado a Sistemas de Comunicação 5G

Alexandre Zem de Moraes¹, André Augusto Mariano¹,
¹Grupo de Circuitos e Sistemas Integrados (GICS) - Departamento de Engenharia Elétrica, Universidade Federal do Paraná, Curitiba, Brasil
alexandrezem99@gmail.com, mariano@ufpr.br

Resumo—O objetivo do presente artigo é mostrar o desenvolvimento inicial de um amplificador de potência Doherty para atuar na frequência de 28 GHz, em consonância com as métricas do estado-da-arte encontradas na literatura. A arquitetura Doherty foi escolhida pela possibilidade de aumentar a eficiência de potência adicional (PAE) na região de recuo do amplificador, promovendo, dessa forma, um compromisso entre desempenho e uso eficiente da potência de alimentação. O desenvolvimento e simulação foram feitos em ambiente de simulação analógico, com auxílio do programa Virtuoso®, da empresa Cadence. Ao realizar as simulações de balanço harmônico (HB), os primeiros resultados obtidos foram: potência de saturação = 19,5 dBm, ganho = 11,3 dB, OCP1 = 10,5 dBm e pico de PAE = 20%.

I. INTRODUÇÃO

A quinta geração de telefonia móvel (5G) visa um aumento na capacidade de dados e melhoria de eficiência na maneira em como eles são transmitidos pelas estações rádio-base (ERB). Como exemplo de evoluções tecnológicas que implicam em tais características, podemos citar a organização da célula de uma rede móvel com um número massivo de antenas de entrada e saída (MIMO - Multiple-Input-Multiple-Output) e comunicação direta com os usuários da rede por meio de transmissão por feixe.

Não obstante, este cenário de desenvolvimento apresenta a necessidade de projetar dispositivos que atuem em frequência elevadas, visto que algumas das bandas licenciadas para a aplicação do 5G se encontram entre 24 e 60 GHz [1].

Sob o ponto de vista de desenvolvimento de sistemas e circuitos analógicos dedicados a atuar neste cenário, a economia de potência é uma das questões que vêm sendo

amplamente discutidas pelos projetistas. Como discutido em [2], o sentido de recepção de dados estuda soluções que possuem potencial de economizar uma quantidade significativa de energia nas ERBs, mas cujo impacto no desempenho do receptor deve ser analisado cuidadosamente.

No sentido de transmissão de dados, alguns circuitos, como o amplificador de potência (PA), necessitam de altos valores de energia para que possam apresentar resultados satisfatórios e que estejam em consonância com os valores de desempenho requeridos para as aplicações do 5G. Dessa forma, busca-se aumentar a eficiência na potência utilizada, mas sem abrir mão do desempenho desejado.

No contexto de PAs, algumas arquiteturas se destacam em relação a outras por apresentarem características de uso eficiente da potência de alimentação [1]. Uma destas arquiteturas é a Doherty, que utiliza-se do conceito de modulação de carga a fim de controlar a eficiência de potência adicional (PAE) na região de recuo do amplificador.

De acordo com o exposto, o presente artigo se concentra em desenvolver um amplificador de potência Doherty e verificar o seu funcionamento de acordo com valores que estejam em consonância com o estado-da-arte, para uma frequência de operação de 28 GHz.

O artigo se organiza da seguinte maneira: a seção II apresenta uma revisão da literatura; a seção III exibe a topologia do amplificador e detalhes da metodologia de projeto; a seção IV apresenta os resultados e discussões; a seção V trata das conclusões.

II. REVISÃO DA LITERATURA

A. Operação do amplificador Doherty

O amplificador de potência Doherty é uma arquitetura proposta originalmente por W. H. Doherty, em 1936 [3], com o objetivo de melhorar a eficiência na transmissão de amplificadores lineares que operam com sinais modulados. A figura 1 exibe a configuração original para esta arquitetura, onde $Z_L = 50\Omega$.

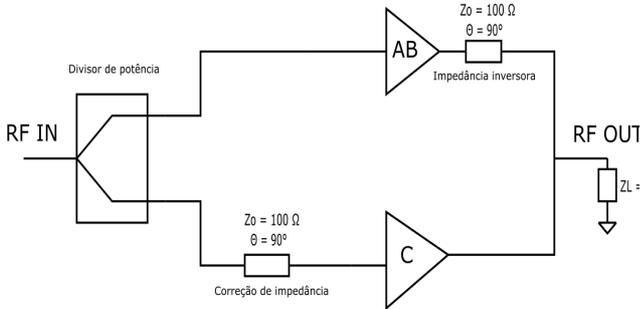


Fig.1 Configuração original do PA Doherty

A composição do PA se dá por um divisor de potência que divide o sinal de maneira igual para o ramo principal e para o ramo auxiliar, contendo um amplificador em classe AB e C, respectivamente. Uma impedância inversora se localiza após o PA de classe AB, e outra de correção é adicionada antes do PA em classe C, ambas projetadas a partir do conceito de linha de transmissão e com valores de impedância característica (Z_0) iguais à $2 \times Z_L$.

A característica de melhora de eficiência na região de recuo parte do conceito de modulação de carga. O amplificador principal vê uma impedância de saída de $4 \times Z_L$ para sinais RF com valores de potência de entrada menores que seu ponto de compressão de 1dB referenciado à entrada (ICP1) [4]. Para esta faixa de valores, o amplificador de classe C não contribui com a amplificação dos sinais e, portanto, o ramo auxiliar pode ser considerado em aberto.

Após adentrar na região de saturação, o amplificador principal vê uma impedância de saída no valor de $2 \times Z_L$. A diminuição do valor acontece porque o pico de ganho do amplificador auxiliar ocorre após a ICP1 do amplificador principal e o ramo auxiliar é considerado ativo.

Nota-se que a reta de carga diminui e isso garante que o amplificador principal seja forçado a operar em

uma região de eficiência estendida, de acordo com as especificações de potência de entrada e/ou saída do projeto [1].

III. METODOLOGIA DE DESENVOLVIMENTO

O desenvolvimento do amplificador foi feito via software de simulação eletrônica *Virtuoso*®, da empresa Cadence e utilizando o kit de desenvolvimento da fábrica Taiwan Semiconductors, para uma tecnologia de comprimento de transistor no valor de 45 nm. Somente os transistores possuem modelos advindos do kit. Os indutores, capacitores e resistores contam com modelos de componentes ideais.

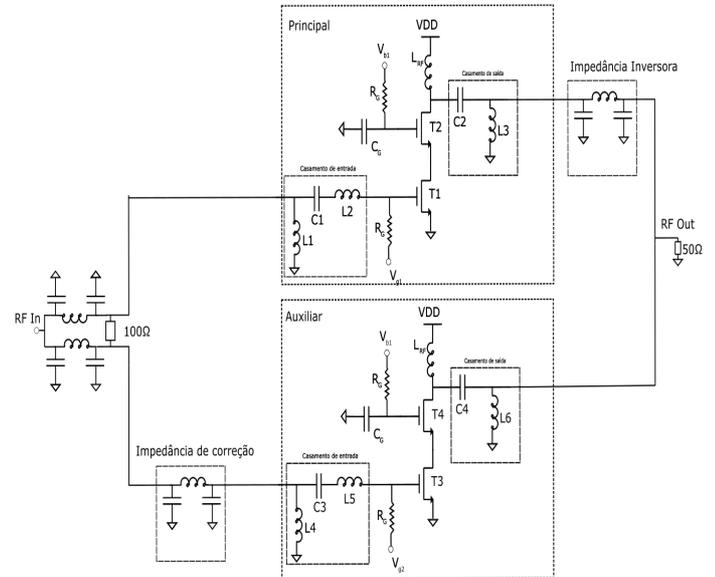


Fig.2 Esquemático completo do PA Doherty

A figura 2 exibe o esquemático completo do amplificador. O divisor de potência possui topologia do tipo Wilkinson e foi projetado de maneira analítica, tomando como referência o modelo de linhas de transmissão (LTs) baseado em parâmetros concentrados, como demonstrado em [5].

As impedâncias inversora e de correção também foram projetadas de acordo com o modelo de LTs com parâmetros concentrados. Para determinar os valores dos componentes ideais das LT's, as equações utilizadas para os capacitores e indutores foram

$$C = 1/\sqrt{2} \times Z_0 \times 2\pi f_0 \quad (1)$$

$$L = \sqrt{2} \times Z_0/2\pi f_0 \quad (2)$$

Onde $Z_0 = 2 \times Z_L = 100 \Omega$ e $f_0 = 28 \text{ GHz}$.

Os amplificadores em classe AB e C foram projetados com base na topologia em cascata (*cascade*), empilhando dois transistores MOSFET do tipo *n*, o superior em configuração porta-comum e o inferior em fonte-comum.

Esta topologia apresenta vantagens em relação à configuração contendo uma unidade MOSFET em fonte comum por conta da redução dos efeitos de estresse em aplicações que demandam altas excursões de sinal, além de garantir um bom isolamento entre entrada e saída, característica que contribui para melhora de estabilidade do amplificador [6].

Tanto no amplificador principal quanto no auxiliar, foi adotado o conceito de autopolarização, com valores de tensão de polarização do transistor em porta-comum (V_b) iguais a 2,7 V. Simulações paramétricas para esta tensão indicaram um bom compromisso entre ganho e eficiência de potência adicional com o valor escolhido.

É demonstrado em [7] que a partir de valores de resistência R_G acima de 10 K Ω , o circuito *cascode* com 2 transistores tem melhora em seu parâmetro de ganho. O valor de $R_G = 25$ K Ω foi obtido a partir de simulações paramétricas, levando em consideração a curva de ganho para ambos os amplificadores.

A presença de uma capacitância C_G faz parte da topologia auto polarizada e observou-se, por meio de simulações paramétricas, que o valor de ganho do amplificador tem seu valor ótimo quando C_G assume valores abaixo de 1 pF. O valor de 400 fF foi determinado uma vez que o ganho não teve melhora significativa para valores mais baixos de capacitância.

Os valores de polarização para os transistores em fonte-comum foram obtidos ao simular sua reta de corrente de dreno (I_D) pela variação na tensão porta-fonte (V_{gs}) a fim de determinar o valor da tensão de limiar (V_{th}). Para $V_{th} \sim 250$ mV, a classe AB foi polarizada com uma tensão de 585 mV e a classe C, com uma tensão de 185 mV.

Casamentos de saída e de entrada foram realizados em ambos os amplificadores, visando melhorar o valor do ponto de compressão de 1 dB de saída e o aumento do ganho. Redes do tipo L contendo capacitor e indutor foram utilizadas para estes casamentos.

Para determinar o valor de largura dos transistores, simulações paramétricas foram feitas observando as curvas de potência de saída pela potência de entrada, ganho e eficiência de potência adicional.

Para o amplificador principal, $W_{CG} = W_{CS} = 2\mu$, enquanto que para o amplificador auxiliar $W_{CG} = 3\mu$ e $W_{CS} = 3,5\mu$. Todos os quatro transistores possuem multiplicidade de 50.

IV. RESULTADOS E DISCUSSÕES

A. Resultados de simulação

A seguir, são apresentados os primeiros resultados de simulação de balanço harmônico (HB) realizadas no ambiente ADE XL, do *Virtuoso*.

A figura 3 exibe a relação entre potência de saída pela potência de entrada, para uma faixa de valores de entrada entre -10 e 20 dBm. A OCP1 medida está em torno de 10 dBm, o que corresponde a uma ICP1 de, aproximadamente, 1 dBm. A potência de saturação situa-se em torno de 19,5 dBm.

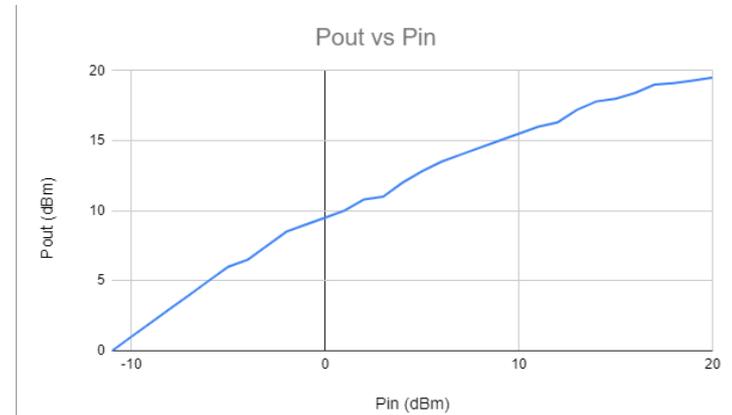


Fig.3 Curva de P_{out} vs P_{in}

A figura 4 exibe a curva de eficiência de potência adicional pela potência de entrada. Observa-se, a partir da análise do gráfico, que o pico da PAE situa-se em torno de 20%, para uma faixa de valores de entrada entre 8 à 15 dBm. O ganho medido tem um valor de, aproximadamente, 11,3 dB.

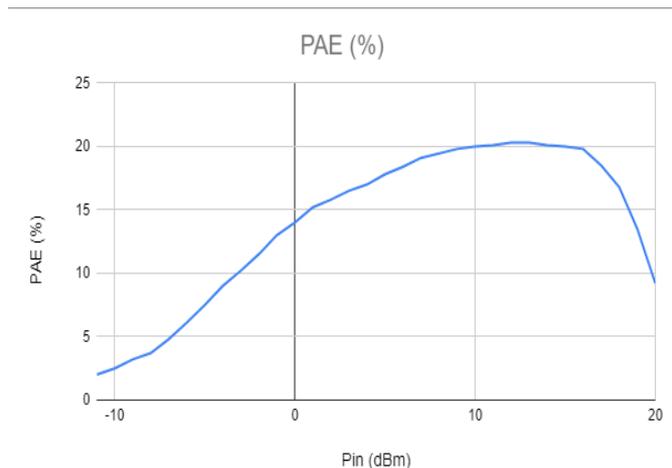


Fig.4 Curva de PAE vs P_{in}

B. Comparação com o estado-da-arte

Os amplificadores Doherty pesquisados na literatura apresentam topologias que apresentam diferentes níveis de complexidade. A tabela 1 resume uma comparação

entre os PAs Doherty selecionados para a frequência de 28 GHz.

O projeto apresentado neste artigo é uma versão inicial do amplificador, visto que o mesmo necessita passar por etapas de otimização de alguns blocos em seu circuito. Portanto, os parâmetros de comparação foram selecionados de maneira a se ter uma noção do quão próximo o PA desenvolvido está do estado-da-arte.

Tabela 1. Comparação com estado da arte

Ref.	Ganho	Psat	PAE (pico)	VDD (V)
[8]	10	22,4	40	2,4
[9]	22	19,8	21	1
[10]	16,8	18	21	1,2
Este projeto	11,3	19,5	20	3,3

Para topologias mais complexas que implementam melhorias como transformador integrado [9] e blocos de correção direcionados à aplicação de transmissão por feixe [10], o desempenho da PAE foi inferior em relação a uma topologia mais simples, que se baseia na combinação das impedâncias de saída com a impedância inversora [8]. Entretanto, para esta última, observa-se a utilização de uma alimentação maior para alcançar o desempenho almejado e um baixo valor de ganho.

Para circuitos mais complexos, o valor de ganho aumenta, mas a quantidade de blocos analógicos aumenta, levando ao aumento do espaço ocupado no projeto de *layout* do circuito.

Para este trabalho, observa-se que mesmo utilizando uma abordagem de projeto mais clássica e simples, o amplificador consegue alcançar valores de desempenho dentro da faixa de valores do estado-da-arte.

Entretanto, é necessário a otimização do circuito, visto que o projeto não explorou os limites de valores permitidos para as larguras dos transistores e os componentes passivos contam com um modelo ideal. Nota-se ainda que o valor de 3,3 V para alimentação está bem mais alto do que os valores encontrados na literatura. Desta forma, faz-se necessário um estudo para observar o impacto de tensões menores no desempenho do circuito.

Entre algumas das melhorias necessárias, podem ser citadas uma atualização dos valores da largura dos transistores do amplificador auxiliar, otimização do valor do ângulo da impedância de correção [4] e estudo de técnicas para aumento de largura de banda, sendo esta contribuição um dos enfoques de estudo para os PAs Doherty, visto a limitação de largura de banda que esta arquitetura possui.

V. CONCLUSÃO

O presente artigo teve como objetivo a descrição de operação e apresentação de resultados para as primeiras

etapas de desenvolvimento de um amplificador de potência Doherty destinado a sistemas de comunicação da quinta geração de telefonia móvel.

Para uma topologia de circuito mais clássica, os resultados das primeiras simulações são: ganho = 11,3 dB, pico de PAE = 20% e $P_{sat} = 19,5$ dBm. Estes valores indicam que o amplificador está em consonância com o estado-da-arte para projetos em 28 GHz.

Dessa forma, conclui-se que o amplificador de potência encontra-se funcional e operando dentro do esperado.

Avalia-se ainda que o circuito tem potencial de melhoria de performance, considerando que são necessárias algumas etapas de ajustes nos valores de alguns blocos analógicos e de largura de transistores, além da utilização de modelos reais para os dispositivos passivos.

REFERÊNCIAS

- [1] VASJANOV, A.; BARZDENAS, V. A Review of Advanced CMOS RF Power Amplifier Architecture Trends for Low Power 5G Wireless Networks. *Electronics* 2018, 7, 271.
- [2] MORAIS, A. Z. ; MARIANO, A.A. . Design of a 1-bit Analog-to-Digital Converter in CMOS Technology Dedicated to 5G Communication Systems. In: Simpósio Sul de Microeletrônica (SIM), 2021, Porto Alegre (Virtual). Simpósio Sul de Microeletrônica (SIM) - 2021, 2021. v. 1.
- [3] DOHERTY, W. H., "A New High Efficiency Power Amplifier for Modulated Waves," in *Proceedings of the Institute of Radio Engineers*, vol. 24, no. 9, pp. 1163-1182, Sept. 1936
- [4] CARNEIRO, Marcos L., Design, optimization and integration of Doherty power amplifier for 3G/4G mobile communications. Université Sciences et Technologies-Bordeaux, 2013. Tese de doutorado
- [5] TORGERSEN, Tron. *Wilkinson Power Divider - A Miniaturized MMIC Lumped Component Equivalent*. Norwegian University of Science and Technology, 2009. Dissertação de mestrado
- [6] RUIZ, H. S; PÉREZ, R. B. "Linear CMOS RF Power Amplifiers - A Complete Design Workflow", Springer, 2014. pags 75 - 78.
- [7] B. Rabet, N. Rostomyan and P. Asbeck, "Gate Leakage Current Effects on the Linearity of 28GHz CMOS SOI Power Amplifiers," 2019 IEEE Topical Conference on RF/Microwave Power Amplifiers for Radio and Wireless Applications (PAWR), Jan. 2019
- [8] N. Rostomyan, M. Özen, and P. Asbeck, "28 GHz Doherty power amplifier in CMOS SOI with 28% back-Off PAE," *IEEE Microw. Compon. Lett.*, vol. 28, no. 5, pp. 446-448, Maio 2018.
- [9] P. Indirayanti and P. Reynaert, "A 32 GHz 20 dBm-PSAT transformer-based Doherty power amplifier for multi-Gb/s 5G applications in 28 nm bulk CMOS," 2017 IEEE Radio Frequency Integrated Circuits Symposium (RFIC), 2017, pp. 45-48.
- [10] X. Fang, J. Xia and S. Boumaiza, "A 28-GHz Beamforming Doherty Power Amplifier With Enhanced AM-PM Characteristic," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 68, no. 7, pp. 3017-3027, Julho 2020