

SeMicro-PR 2018

Desenvolvimento de uma Biblioteca de Células Padrão para Projetos de Circuitos Integrados Digitais na tecnologia CMOS 130 nm.

Marcelo Rudolf Junior¹, Sibilla Batista da Luz França¹

¹UFPR, Curitiba, Brasil

rudolf@ufpr.br

Resumo—Na elaboração de um circuito integrado digital faz-se necessário o uso de diversas células padrão como, por exemplo, portas lógicas, flip-flops, multiplexadores, somadores, entre outras. Entretanto, algumas design kits não disponibilizam para o projetista este conjunto de células, sendo necessário a criação de cada uma delas. Assim, esse projeto visa a concepção de uma biblioteca de células padrão para o projeto de circuitos integrados digitais na tecnologia GF 8RF 130nm, permitindo que o designer tenha acesso à uma robusta biblioteca, com 35 tipos de células, possibilitando o desenvolvimento de circuitos digitais maiores e mais complexos e permitindo a elaboração de circuitos integrados digitais a partir de um arquivo fornecido pelo designer em linguagem de descrição de hardware. Para validação da biblioteca foram elaborados dois circuitos implementados a partir das células padrão. O primeiro correspondente a um somador/subtrator de 4 bits, utilizando 20 células (176 transistores) e o segundo de um embaralhador/desembaralhador, utilizando 13 células (664 transistores).

I. INTRODUÇÃO

O número de transistores em um circuito integrado tem crescido exponencialmente [1]. Segundo a lei de Moore, elaborada em 1965, o número de transistores, em uma mesma área, dobra a cada dezoito meses. Desde então, esta lei se tornou uma profecia que ainda se mantém válida. O avanço na tecnologia de fabricação de semicondutores permitiu que os projetistas elaborassem circuitos cada vez mais complexos, capazes de realizar tarefas que aumentam o nível de automação [2]. O design de um circuito integrado é extremamente complexo, assim como as ferramentas utilizadas para sua concepção [3]. O projeto de um circuito integrado digital pode ocorrer de duas maneiras.

O primeiro modo consiste em realizar um design customizado, onde o fluxo de projeto inicia-se na construção de esquemáticos, no nível de transistores, e segue até os layouts de cada uma das partes do sistema. Os esquemáticos pré-layout são simulados para uma análise funcional e as informações pós-layout são utilizadas para uma simulação mais detalhada. O segundo modo consiste em realizar o design a partir de um circuito descrito em linguagem de hardware, que segue até o layout, utilizando

para isso uma biblioteca de células padrão [3][4]. Esta biblioteca pode ser comercial ou desenvolvida pelo projetista. Simulações pré e pós-layout também são realizadas.

A dificuldade está no fato de que algumas design kits, ofertadas para pesquisa em universidades, não disponibilizam completamente essas bibliotecas. Sendo assim, o projetista precisa construir sua própria biblioteca de células padrão, para só então, iniciar o projeto a partir do circuito descrito em linguagem de hardware. Desta maneira, o objetivo deste trabalho é elaborar uma biblioteca, na tecnologia de 130 nm, com as principais células lógicas, tais como portas lógicas básicas, somadores, multiplexadores, latches, flip-flops, entre outras. Por meio de um design padronizado, a área do silício pode ser efetivamente explorada enquanto se mantem os custos e o tempo de desenvolvimento sob controle. Células padrão voltadas a automação eletrônica são ferramentas de suporte para otimizar a síntese e a implementação física em determinada tecnologia, começando de uma descrição de alto nível e, conseqüentemente, possibilitando os designers a gerenciar a complexidade de centenas de milhões de dispositivos lógicos [5]. Sendo assim, o objetivo dessa biblioteca padrão é servir de base para a concepção de circuitos maiores e mais complexos os quais descritos em linguagem de descrição de hardware, ou VHDL, fornecendo ao projetista o suporte necessário para o desenvolvimento de diversos circuitos digitais integrados para as mais diversas finalidades.

II. FLUXO DE PROJETO DE UM CIRCUITO INTEGRADO DIGITAL

A estrutura de um design digital industrialmente compatível é baseado na automação de passos intermediários requeridos para produzir o design físico (layout) a partir de um comportamento descrito. Este processo é retratado na figura 1, o qual ilustra os respectivos passos, partindo de uma tecnologia independente do design de destino [6].

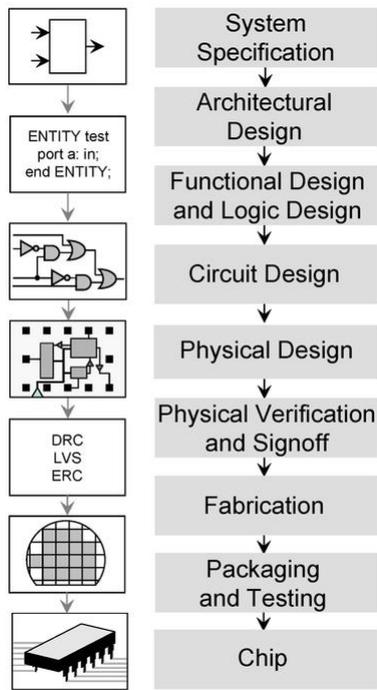


Fig. 1. Fluxo de projeto. Fonte: wikiwand

O primeiro passo compreende na especificação do circuito (*System Specification*) o qual consiste na descrição da funcionalidade, performance, dimensões físicas e a tecnologia a ser empregada no sistema desejado. O design da arquitetura do circuito (*Architectural Design*), designará a arquitetura a ser empregada no desenvolvimento do projeto, levando em conta o conjunto de instruções do sistema, número de unidades aritméticas e lógicas, unidades de pontos flutuantes entre outras funções desejadas. Após isso, a funcionalidade do design (*Design Functional*) identificará os aspectos comportamentais do circuito sem considerar a informação específica de implementação, ou seja, para um processo de soma, uma variedade de hardware de soma poderá ser utilizado nesse caso, levando em conta a velocidade de processamento e do tamanho dos dados de entrada desejados. Nesta etapa, a ideia é especificar o comportamento do circuito em função da entrada, saída e tempos para cada unidade, sem caracterizar a sua estrutura interna.

O fluxo de projeto prossegue para *functional design and logic design*. Nele, o controle de fluxo, o alocador de registro, operações aritméticas e lógicas do circuito são todas caracterizadas pelo *Register Transfer Level (RTL)* para uma linguagem de descrição de hardware, como o VHDL por exemplo, e que consiste de expressões booleanas otimizadas do circuito com o intuito de minimizar o uso de componentes e área ocupada e que, além disso, também será utilizada em simulações para verificação da funcionalidade.

Conforme concluída as etapas anteriores, a representação do circuito é, então, desenvolvida na fase de *Circuit Design*, quando as expressões booleanas serão convertidas em uma representação detalhada dos

elementos do circuito e, também, das suas interconexões gerando o *netlist*. No próximo passo, em *Physical Design*, a descrição RTL é convertida para o formato da tecnologia a ser empregada.

Esse passo acontece a nível de portas lógicas baseadas em uma biblioteca pré-caracteriza de células padrão na lógica CMOS. O processo de síntese da porta é dividido em dois estágios. Primeiro, a descrição em RTL é mapeado para uma *netlist* de portas abstratas. Após o mapeamento, a sintetização otimiza o design, considerando as restrições de tempo, área e consumo de energia fornecidos pelo designer. Assim sendo, a ferramenta de síntese poderá estar com as informações das característica de tempo de resposta das células, a área delas e o seu consumo de energia. Consequentemente, as células padrão já poderiam estar caracterizadas em termos de performance, área e dissipação de potência para possibilitar uma maior otimização no processo de síntese. Isso implica que os circuitos a nível de transistor destas células poderão ser estimulados por um simulador analógico, com várias rampas de entrada e cargas capacitivas na saída como bem as operações em condições de temperatura e tensão simuladas. O resultado deste processo é o tempo de resposta, consumo e a área, como característica de cada célula e em específicos pontos de operação.

Neste momento, as ferramentas de *place and route* deverá realizar a geometria das células a nível de transistor e as suas interconexões, respeitando as regras de design como a distância mínima entre metais da tecnologia empregada. Após completo o processo de *place and route*, é seguido para as etapas de simulações pós-layout o qual verificará a funcionalidade do design. Esta etapa requer a informação sobre a funcionalidade das células padrão, compreendendo o *netlist* de pós-layout. Esta informação é produzida na caracterização e é escrita em um arquivo de Verilog incluindo o *netlist* de cada célula junto com o delay das entradas para as saídas de cada caminho (*Physical Verification and Signoff*).

Com essas etapas concluídas, o projeto poderá ser encaminhado para fabricação (*Fabrication*) e, então, construído o seu chip (*Packaging and Testing*).

III. BIBLIOTECA DE CÉLULAS PADRÃO

Uma célula padrão não é nada mais do que um elemento lógico digital realizando uma função específica e localizado em uma área pré-definida, com energização e pinos de entrada e saída de sinais[7]. O designer especifica a aplicação do circuito, em termos destas células padrão, afirmando quais células serão necessárias e quais sinais serão conectados para implementar a funcionalidade do design. Após o design ser simulado e provado a sua funcionalidade corretamente, outros programas de design, como programas de posicionamento das células e/ou o de roteamento entre elas, são usados para projetar o CI. O designer pode, nesta descrição, ter uma penalidade em razão da largura, resistência ou capacitância de certas interconexões. A principal vantagem das células padrão é a

economia de área pois elas não têm uma área de construção pré-definidas no waffer de silício, dessa forma pode-se otimizar o layout e roteamento do design. A penalidade nesse caso é o aumento do tempo de resposta do sinal..

Para a concepção destas células padrão, que comporão a biblioteca, foram utilizadas as ferramentas para concepção de circuitos integrados da Cadence. O primeiro passo deste processo consistiu na elaboração dos esquemáticos a nível de transistor e os símbolos de cada uma das células na lógica CMOS [2].

A partir do símbolo criado, realizou-se simulações para balanceamento e avaliação funcional e temporal. Caso houvesse alguma discrepância nos resultados esperados reanalisava-se as ligações do esquemático procurando por possíveis erros. Na etapa seguinte, na construção do layout, foram adotados alguns padrões na concepção das células, sendo eles: transistores PMOS situados na parte superior do substrato e os NMOS na parte inferior; metais M1 e poli construídos na vertical e o M2 na horizontal para possibilitar o roteamento nesses sentidos.

No passo seguinte, o layout de cada uma das células foram avaliadas através da ferramenta DRC (*Design Rule Check*) para garantir que as regras de fabricação foram respeitadas. Após esses passos, faz-se uma segunda verificação, agora com a ferramenta LVS (*Layout versus Schematic*) com o objetivo de garantir que todos os seus roteamentos estejam exatamente iguais ao do esquemático que o deu origem. Para verificar o desempenho da célula, foram feitas simulações contendo as informações acerca das capacitâncias e resistências parasitas extraídos do layout e comparadas com o seu comportamento ideal em relação ao seu modelo real. Após isso, a célula estará pronta, como representado pela figura 1. Por fim, realizou-se a extração da vista *abstract* de cada célula, que consiste em um layout contendo somente as informações acerca da geometria física da célula padrão, e do arquivo LEF, o qual contém informações em ASCII da vista *abstract*, e que serão utilizados posteriormente nos processos de *place and route*. Essa possibilidade de fornecer apenas a vista *abstract*, além de facilitar o processo de *place and route*, permitirá reter a propriedade intelectual acerca da biblioteca criada para evitar cópias não autorizadas.

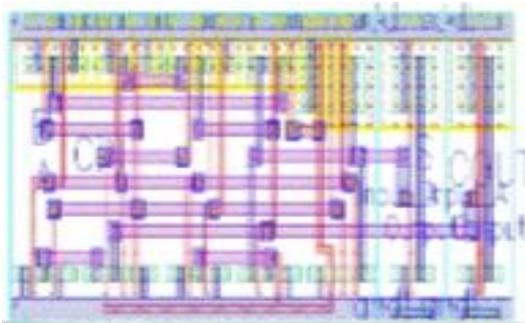


Fig.1 .Representação do layout de um somador completo

Essa metodologia utilizada para a construção de cada célula padrão resultou em uma robusta biblioteca contendo 35 tipos de portas lógicas básicas, flip-flops entre outras, e

que podem ser consultadas através da tabela 1 o qual mostra a porta lógica desenvolvida, o número de entradas que cada célula individual possui e as suas respectivas áreas. As portas da tabela 1 descritas com (2x) indicam o dobro da largura do transistor PMOS em relação ao seu tamanho padrão de referência.

Tabela 1 – Células padrão da biblioteca.

PORTA[ENTRADAS]	AREA [μm^2]
NAND[2;3;5]	[13,03;15,73;25,62]
NAND 2 (2x)	[13,03]
NOR[2;3]	[12,02;13,82]
NOR 2 (2x)	[12,02]
OR[2;3]	[22,25;21,92]
AND[2;3]	[20,12;23,6]
XOR 2	[34,05]
XNOR2	[33,6]
MUX 2x1	[25,96]
MUX 2x1 NEG. SEL	[18,09]
MUX 4x1	[73,17]
MUX 8x1	[167,6]
MUX 32 bits	[757,68]
AND 2 OR 1	[23,71]
AND 2 OR 1 INVER.	[15,84]
BUFFER e BUFFER NOT	[17,3]
FILL 1 e FILL 2	[10,22]
NOT E NOT (2x)	[10,22]
Full Adder	[75,36]
Flip-Flop TG C2MOS	[69,12]
Flip Flop reset preset	[103,01]
Flip Flop reset preset enable	[126,56]
Flip-Flop TG C2MOS clear	[86,88]
Flip-Flop TG C2MOS enable	[93,29]
LATCH TG C2MOS	[41,53]
LATCH TG C2MOS clear	[59,29]
LATCH TG C2MOS enable	[65,14]

IV. APLICAÇÃO DA BIBLIOTECA DE CÉLULAS PADRÃO E RESULTADOS

Para uma análise mais efetiva desta nova biblioteca padrão elaborou-se dois circuitos maiores, utilizando as células padrão, um somador/subtrator de 4 bits e um embaralhador/desembaralhador de dados.

O primeiro a ser construído foi o circuito aritmético somador/subtrator de 4 bits, utilizando o complemento de 2, representado pela figura 2. A organização do circuito aritmético se deu com a utilização de 8 portas NOT, 8 multiplexadores 2x1 e 4 somadores completos de 2 bits com vai-um e saída de um bit com carry-out. Das 8 entradas o circuito foi reordenado para permitir dois pares, ou dois nibbles, distintos de 4 bits cada e organizados em relação aos seus pinos de entrada denominados de A[3:0] e B[3:0] sendo o A3 e B3 os bits mais significativos e o A0 e B0 os bits menos significados, a resposta do circuito somador subtrator será obtida pelos pinos de saída Y[3:0] e pelo carry out. Após os testes e a garantia de sua funcionalidade faz-se a construção do layout, a extração de parasitas e os testes pós layout.

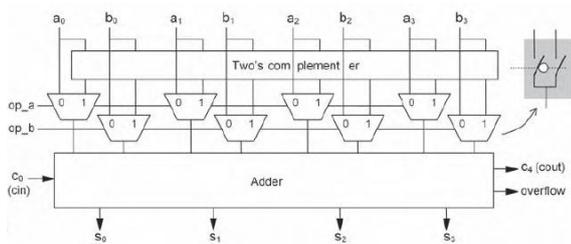


Fig. 2. Representação do circuito aritmético

O segundo circuito de teste concebido é o embaralhador e desembaralhador de bits mostrado na figura 3. A concepção do circuito foi feita utilizando 11 Flip-Flops, com preset e reset, e 2 portas XOR. As saídas dos Flip Flops 9 e 11 são conectados, cada um, aos pinos de entrada de uma XOR fazendo, então, que essa comute a sua saída a cada clock e envie o seu resultado ao Flip Flop 1 e também para um pino de entrada da segunda XOR, sendo o seu outro pino de entrada o sinal a ser embaralhado. O conceito do circuito consiste na codificação do sinal de entrada a cada clock, de acordo com os valores presentes nos Flip Flops e nas portas XOR que comutarão o sinal de saída.

Para a obtenção dos dados de entrada originais, após embaralhados, é necessário a utilização do mesmo circuito só que duplicado, apenas fazendo a conexão de entrada de um na saída do anterior e ambos sincronizados com o mesmo clock (Figura 4). Após todos os testes concluídos com o correto funcionamento, fez-se a concepção do layout e a extração de parasitas e verificações no pós-layout para análise de seu modelo de desempenho real.

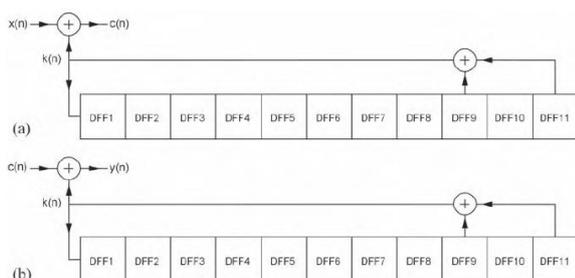


Fig. 3. Representação do embaralhador e desembaralhador de bits.

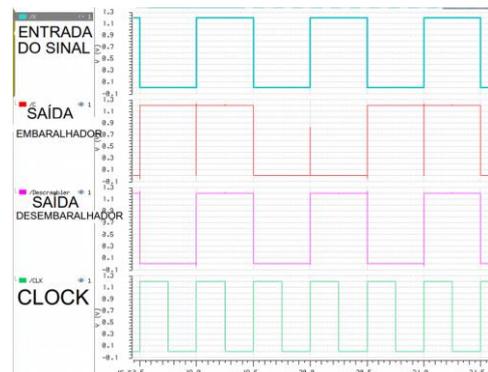


Fig. 4. Simulação embaralhador-desembaralhador de bits

V. CONCLUSÃO

Obteve-se êxito na concepção da biblioteca padrão no qual fornecerá ao projetista de chips uma gama de 35 células digitais sendo elas portas lógicas básicas, somadores, multiplexadores, latches, flip-flops, entre outras. Além disso, destaca-se a qualidade obtida das células construídas pois as simulações pós-layout mostraram que os elementos da biblioteca possuem uma performance semelhante de seu circuito ideal em comparação com o seu modelo real. Por fim, a geração dos arquivos abstract, de cada elemento da biblioteca, possibilitará ser fornecida ao designer de forma que se consiga reter a propriedade intelectual da biblioteca recém-criada para evitar cópias não autorizadas. Por fim, os resultados dos testes com somador-subtrator de 4 bits e o embaralhador e desembaralhador de bits comprovam a funcionalidade, a partir dos dados obtidos pelas simulações transientes, e o desempenho das células quando trabalham em forma conjunta pois mesmo com a utilização de 176 transistores, no somador-subtrator, ou 332 transistores, no caso do embaralhador, ambos demonstraram uma boa velocidade de resposta em seu funcionamento e as análises das simulações pós-layout dos dois circuitos revelaram haver um desempenho semelhante em suas respostas de saída quando comparados o seus funcionamentos ideais para com o seus modelos reais..

REFERÊNCIAS

- [1] David Money Harris e Neil H. E. West. CMOS VLSI DESIGN. 4 Ed. Pearson, 2011.
- [2] Adel Sedra e Kenneth Smith, Microeletrônica. 5 Ed. São Paulo: Pearson, 2007.
- [3] Erik. Brunvand, Digital VLSI Design with Cadence and Synopsys CAD tools Addison-Wesley: 2010.
- [4] Volnei Pedroni, Eletrônica Digital Moderna e VHDL: Elsevier, 2010.
- [5] Andrea Ricci, Ilaria Munari e Paolo Ciampolini, Performance-Effective Compaction of Standard-Cell Libraries for Digital Design, 2009.
- [6] Dimitris Beakiaris, Antonis Papanikolaou, Giorgos Stamelos, Dimitrios Soudris, George Economakos e Kiamal Pekmestzi, A standard-cell library suite for deep-deep submicron CMOS technologies.
- [7] A. J. Kessler e A. Ganesan, An Introduction to Standard-Cell VLSI desi