

SeMicro-PR 2018

Algoritmo em VHDL para controle de amplificador a ganho variável

João Vitor Cararo Cano¹, Luis Henrique Assumpção Lolis¹

¹ UFPR, Curitiba, Brasil
joaovitorcano@gmail.com
luis.lolis@eletrica.ufpr.br

Resumo - Esse trabalho apresenta um comparador de ângulos que calcula valores de seno e cosseno discretos para serem aplicados em uma conversão em frequência no domínio do tempo discreto. Esses sinais fazem parte da segunda conversão de frequência de uma arquitetura de receptor de rádio frequência com conversão em dupla quadratura discreta. Os valores aproximados de senos e cossenos são traduzidos em palavras binárias para pilotar um amplificador a ganho variável no tempo. O algoritmo foi satisfatoriamente validado, cujas limitações provêm dos arredondamentos das fases. Observando a transformada de Fourier dos sinais gerados vemos que a menor rejeição de imagem é de 36dB (em 20MHz), a pior ACPR e a pior SFDR são de 31dB, para 40MHz.

Palavras chave: TVGA, LOW-IF, VHDL.

I. INTRODUÇÃO

Os senos e cossenos gerados estão inserido na arquitetura proposta em [1] que é baseada em sub amostragem e uma estratégia de frequência *LOW-IF* usando dupla quadratura [2], sendo a primeira delas gerada com base no atraso entre as amostras do

amostrador em fase e do amostrador em quadratura. A segunda conversão em frequência contém os amplificadores a ganho variável no tempo (TVGA - *Time domain Variable Gain Amplifiers*) que, sendo controlados por ganhos sucessivos que emulam senos e cossenos, fazem o papel de um mixer, convertendo o sinal para banda base. O projeto visa gerar as palavras binárias e armazená-las na sequencia correta em uma LUT que será lida em loop, simulando um sinal senoidal.

As formas de onda geradas foram avaliadas em termos de rejeição de sinal imagem, ACPR e SFDR.

II. REVISÃO DA LITERATURA

O VGA utilizado “consiste em $(n - 1)$ amplificadores de transcondutância em paralelo com um estágio inversor.” [1]. “Nesta proposta, a variação de dimensão dos transistores, tanto da entrada quanto da carga, é obtida com o chaveamento dos ramos identificados por x_1 , x_2 e x_4 , através da palavra de controle formada pelos bits a_0 , a_1 e a_2 , sendo a_0 o bit menos significativo.” [3]

A citação acima refere-se ao TVGA controlado por 3 bits. Como o amplificador foi implementado com 4 bits (um estagio em paralelo a mais), os ramos se tornam x_1 , x_2 , x_4 , x_8 e os bits de controle a_0 , a_1 , a_2 , a_3 .

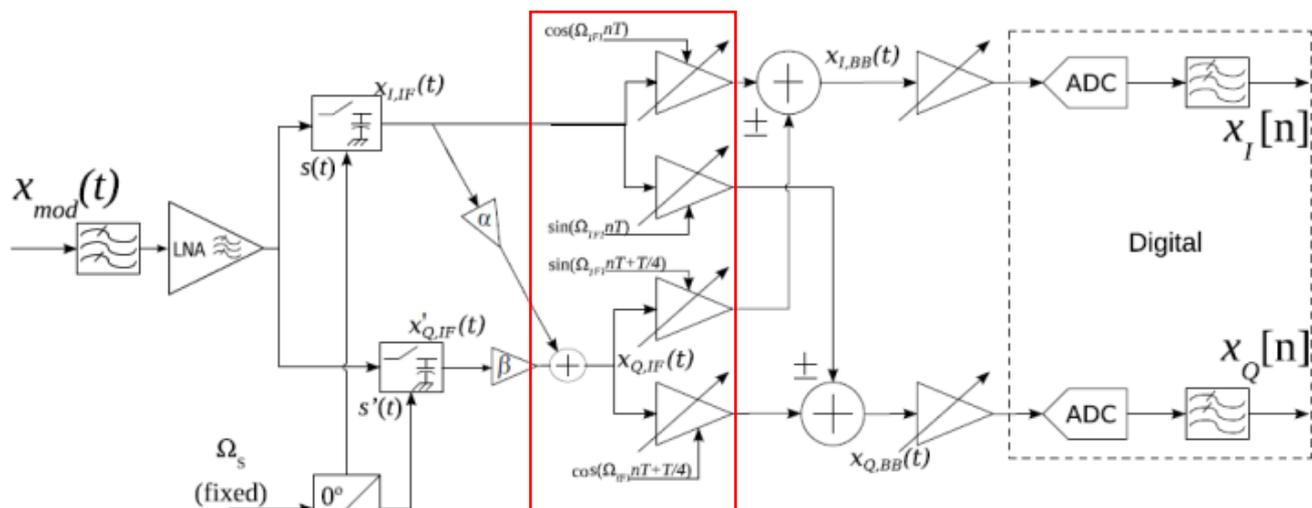


Figura 1: Arquitetura proposta. Fonte: [1]

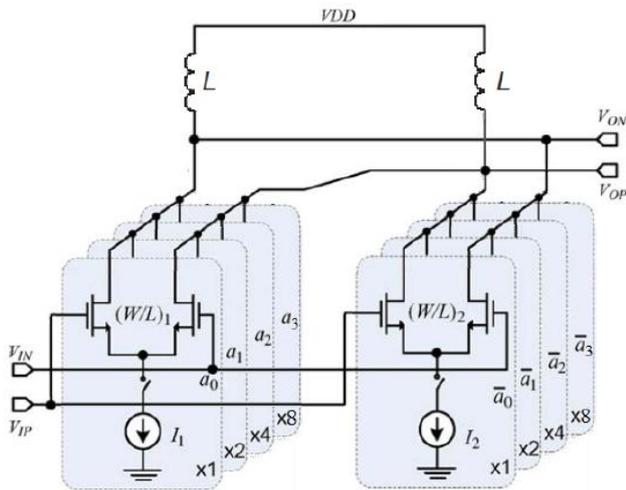


Figura 2: Esquemático simplificado do VGA. Fonte [3]

Os ganhos possíveis do amplificador são mostrados na figura 3, em função da palavra binária e da frequência. Estes valores são utilizados para calcular os ângulos que podem ser sintetizados.

III. DESENVOLVIMENTO

O funcionamento do sistema é mostrado na figura 4.

Um script implementado no MATLAB, calcula ângulos (α) incrementando um ‘avanço de fase’ para cada passo de amostragem e aproxima para o melhor valor possível. Seno e cosseno são calculados separadamente. Não há necessidade de implementar os cálculos em hardware nesta etapa de testes.

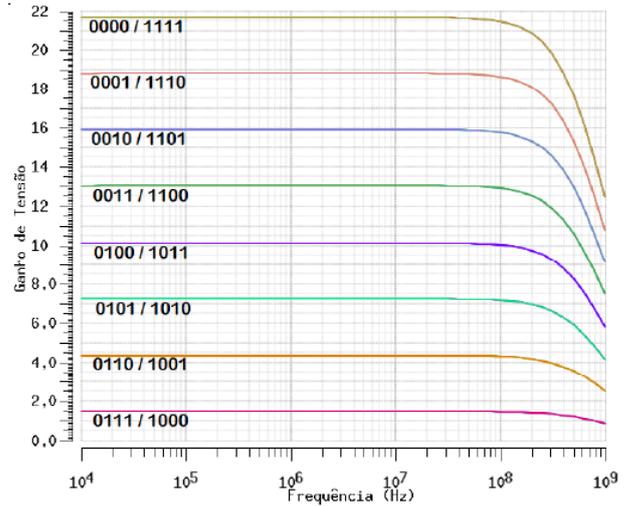


Figura 3: Ganhos do VGA. Fonte: [3]

O avanço de fase é calculado através da relação:

$$\Delta\theta = 360 * \frac{f_{\{IF\}}}{f_s} \quad (1)$$

Onde $f_{\{IF\}}$ é a frequência do Sinal em MHz e f_s é a frequência de amostragem, neste caso fixa em 100MHz.

O ângulo equivalente para seno (θ_{i_sen}) e para cosseno (θ_{i_cos}) de cada ganho do amplificador (G_n) pode ser calculado da seguinte forma (considerando o ganho máximo do TVGA como 22):

$$\theta_{i_sen} = \arcsin\left(\frac{G_n}{22}\right) \quad (2)$$

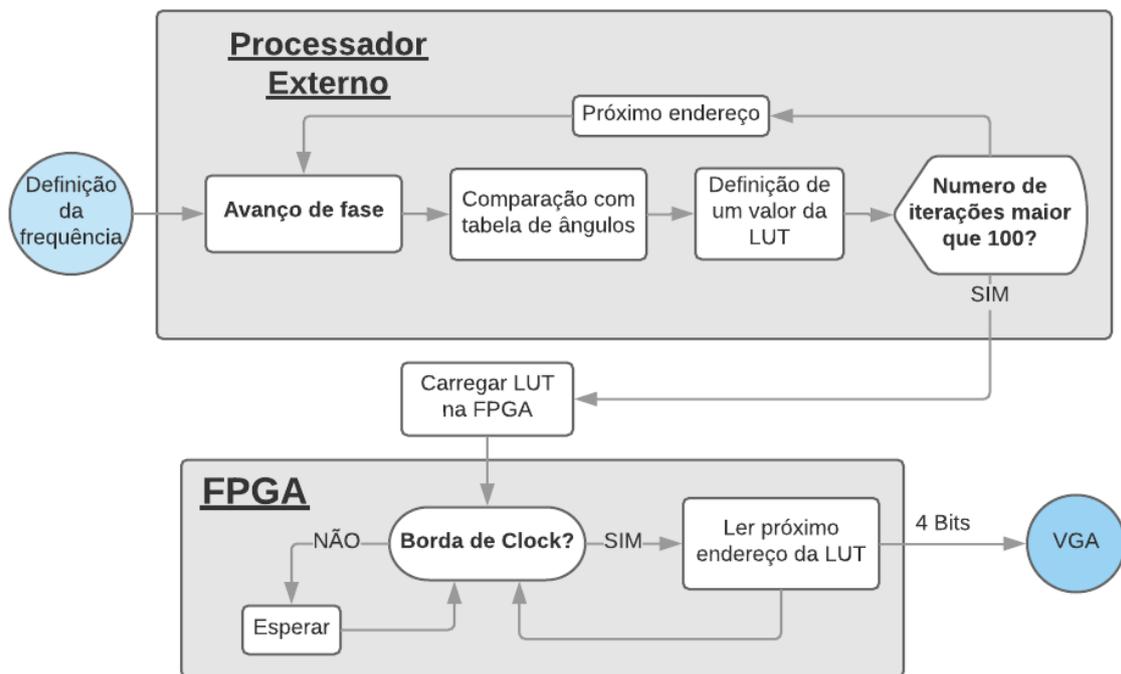


Figura 4: Diagrama de blocos do sistema. Fonte: o autor

$$\theta_{i_cos} = \arccos\left(\frac{G_n}{22}\right) \quad (3)$$

Para um ângulo α contido entre os valores limite θ_i e θ_{i+1} devemos escolher um desses valores para ser a aproximação (α') de um ângulo qualquer. Para isso foi estabelecido um critério de decisão.

$$\text{Se } \alpha > \frac{\theta_i + \theta_{i+1}}{2}, \quad \alpha' = \theta_{i+1} \quad (4)$$

$$\text{Senão, } \alpha' = \theta_i \quad (5)$$

Cada ângulo é convertido em uma palavra binária, onde (0000) equivale a um pico negativo da senoide e (1111) equivale a um pico positivo (Figura 3).

Para uma futura implementação, a FPGA seria utilizada somente para armazenar os valores da saída e realizar a leitura em loop. O cálculo dos ângulos seria realizado por um processador separado. A cada pulso de clock, a saída muda de acordo com o valor no próximo endereço da LUT, que contem as palavras binárias na sequencia correta.

As tabelas 1 e 2 mostram os ângulos que são utilizados no arredondamento e as palavras binárias correspondentes para seno e para cosseno, respectivamente.

Através da transformada de Fourier do sinal ($\cos + j \text{sen}$), que será utilizado para a conversão em frequência, foi calculada a rejeição de sinal imagem (IMRR – Image Rejection Ratio), razão entre o nível do sinal da frequência intermediária (P_{IF}) e da frequência imagem (P_{IMG}) [4].

$$IMRR(dB) = P_{IF} - P_{IMG} \quad (6)$$

Além disso, a ACPR, diferença de potência entre a frequência fundamental e a frequência harmônica adjacente [5], foi utilizada como métrica de avaliação da qualidade do sinal.

$$ACPR = P_{fundamental} - P_{harmonica\ adjacente} \quad (7)$$

Também foi calculada a SFDR, diferença de potência entre a frequência desejada e a maior componente indesejada no espectro da frequência [6], podendo ser definida pela equação (8).

$$SFDR = P_{fundamental} - P_{maior\ harmonica} \quad (8)$$

	Ganho	COS	Angulo equivalente ao Ganho	Palavra Binária
0	-22	-1.00000	180.0	0000
1	-19	-0.86364	149.7	0001
2	-16	-0.72727	136.7	0010
3	-13	-0.59091	126.2	0011
4	-10	-0.45455	117.0	0100
5	-7.3	-0.33182	109.4	0101
6	-4.4	-0.20000	101.5	0110
7	-1.8	-0.08182	94.7	0111
8	1.8	0.08182	85.3	1000
9	4.4	0.20000	78.5	1001
10	7.3	0.33182	70.6	1010
11	10	0.45455	63.0	1011
12	13	0.59091	53.8	1100
13	16	0.72727	43.3	1101
14	19	0.86364	30.3	1110
15	22	1.00000	0.0	1111

Tabela 2: Tabela de ângulos para cosseno. Fonte: o autor

Foi escrito um código simples em VHDL para simular o funcionamento das saídas da FPGA quando a gravação da LUT já estivesse concluída com sucesso.

IV. RESULTADOS

Conforme o processo descrito acima, foram geradas as formas de onda para frequências inteiras entre 1 e 50MHz. A figura 5 mostra os pontos da onda gerada (em azul) e a onda ideal (em vermelho), para seno e cosseno, com uma frequência de 10MHz.

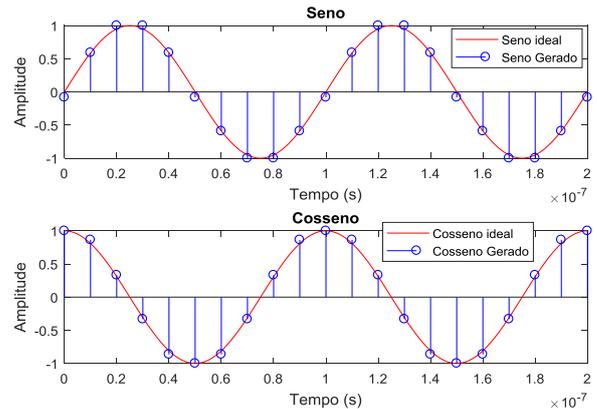


Figura 5: Seno e cosseno para 10MHz. Fonte: o autor

Observa-se que uma LUT que armazena 100 palavras binárias é suficiente para garantir que as formas de onda geradas sejam semelhantes a uma senoide ideal.

A SFDR, ACPR e IMRR foram plotados em dB, e em função da frequência, vide figuras 6 e 7.

O caso de 25MHz é atípico pois seno e cosseno ficam perfeitamente defasados de 90 graus.

Para a SFDR, os valores se concentram em torno de 34dB, sendo o pior valor de 31dB em 20MHz e o melhor de 34,17dB em 9MHz.

	Ganho	SEN	Angulo equivalente ao Ganho	Palavra Binária
0	-22	-1.00000	-90.0	0000
1	-19	-0.86364	-59.7	0001
2	-16	-0.72727	-46.7	0010
3	-13	-0.59091	-36.2	0011
4	-10	-0.45455	-27.0	0100
5	-7.3	-0.33182	-19.4	0101
6	-4.4	-0.20000	-11.5	0110
7	-1.8	-0.08182	-4.7	0111
8	1.8	0.08182	4.7	1000
9	4.4	0.20000	11.5	1001
10	7.3	0.33182	19.4	1010
11	10	0.45455	27.0	1011
12	13	0.59091	36.2	1100
13	16	0.72727	46.7	1101
14	19	0.86364	59.7	1110
15	22	1.00000	90.0	1111

Tabela 1: Tabela de ângulos para seno. Fonte: o autor

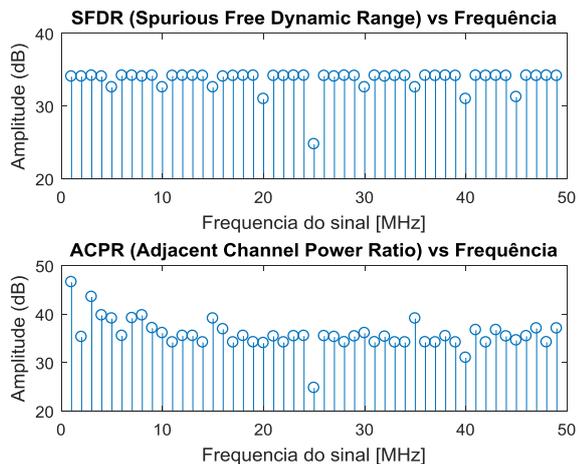


Figura 6: SFDR e ACPR vs f_{IF} . Fonte: o autor

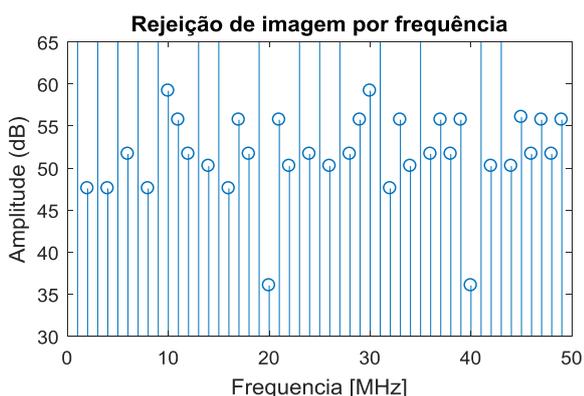


Figura 7: IMRR vs f_{IF} . Fonte: o autor

Primeiros bits para 10MHz		
Palavra Binária	seno aproximado	seno ideal
0111	-0.082	0.000
1100	0.591	0.588
1111	1.000	0.951
1111	1.000	0.951
1100	0.591	0.588
0111	-0.082	0.000
0011	-0.591	-0.588
0000	-1.000	-0.951
0000	-1.000	-0.951
0011	-0.591	-0.588

Tabela 3: Palavras binárias equivalentes aos 10 primeiros endereços da LUT para 10MHz. Fonte: o autor

A ACPR vale em média de 35dB, sendo no pior caso 31dB, em 40MHz.

A IMRR é o parâmetro com maior variação entre frequências, sendo que o pior valor é de 36,04dB para 20 e 40MHz e os melhores passam de 70dB.

Uma LUT programada com 10 pontos, que equivalem aos valores necessários para gerar 1 ciclo de cossenoide em 10MHz, foi escrita em VHDL e simulada. Como a LUT possui 100 pontos, apenas os 10 primeiros são

necessários para gerar 10MHz, pois a sequência se repete.

Na figura 9, podemos ver que a cada pulso de clock os bits de saída se alteram, seguindo a ordem previamente escrita na LUT. Com essa lógica funcionando corretamente, basta realizar em um processador externo os cálculos para encontrar os bits na ordem correta e carregar a LUT para a FPGA.

V. CONCLUSÃO

A estratégia de comparação de fase utilizada para os cálculos é eficiente para a geração das frequências múltiplas inteiras de 1MHz, considerando uma LUT de 100 pontos. A rejeição de imagem é no mínimo de 36dB (em 20MHz), com ACPR e SFDR mínimas de 31dB. A aplicabilidade depende das exigências de relação sinal-ruído do sistema no qual se deseja implementar o recurso estudado ao longo deste trabalho. Uma possível solução para aprimoramento é aumentar o número de ganhos que o amplificador pode fornecer, ou rever o funcionamento do algoritmo de comparação, definindo de maneira diferente quais ângulos são representados por cada ganho do TVGA.

AGRADECIMENTOS

Agradeço ao professor Luis H. A. Lolis pela atenção e orientação durante os estudos que culminaram neste trabalho. Agradeço também aos colegas da UFPR que me incentivaram e motivaram, desde o primeiro período.

REFERÊNCIAS

- [1] - SIONEK, Guilherme. Arquitetura de Tempo Discreto para Receptor de Radiofrequência Baseada em Subamostragem com Baixa Frequência Intermediária e Dupla Quadratura. 2017. 78f. Dissertação de Mestrado – UFPR, Curitiba 2017.
- [2] - J. Crols and M.S.J. Steyaert, "Low-IF Topologies for High-Performance Analog Front Ends of Fully Integrated Receivers," IEEE Trans. Circuits and Systems - II: Analog and Digital Signal Processing, vol. 45, no. 3, pp. 269-282, Mar. 1998.
- [3] - MATIAS, Mateus. Amplificador de Ganho Programável Aplicado a um Receptor de Radiofrequência com Subamostragem e Dupla Quadratura. 2017. 83f. Dissertação de Mestrado – UFPR, Curitiba, 2017.
- [4] - C-W and A-M Radio Transmitters and Receivers, United States Department of the Army, 1952
- [5] - ANRITSU, Adjacent Channel Power Ratio (ACPR) application note. Disponível em: <https://pdfs.semanticscholar.org/bec7/bc17e23cfab75515b41e4b155188cfc80ff5.pdf>. Acesso em 09/09/2018.
- [6] - Walt Kester, MT-003: Understand SINAD, ENOB, SNR, THD, THD + N, and SFDR so You Don't Get Lost in the Noise Floor, Analog Devices

Figura 9: Simulação dos sinais na FPGA com uma LUT de 10 pontos. Fonte: o autor

