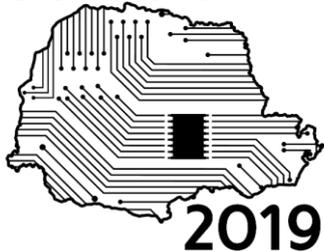


SeMicro-PR



Síntese de um circuito digital para compensação de erros de relógio em TIADCs

Anderson de Lima Luiz, Luis Henrique A. Lolis

Group of Integrated Circuits and Systems (GICS - UFPR)

Universidade Federal do Paraná, Curitiba, Brasil

anderson.limaluiz@gmail.com

luis.lolis@eletrica.ufpr.br

Resumo — *Conversores analógico-digitais (CADs) consomem recursos de área e potência elevados para suprir altas velocidades e resoluções. A operação de conversores analógico-digitais entrelaçados no tempo (TIADCs) possibilita a utilização do mesmo desempenho com um consumo de energia e área reduzido. A deriva de relógio é o principal redutor de desempenho dos TIADCs. Nesta pesquisa, são aplicados filtros digitais – implementados na linguagem VHDL – para compensar os erros de deriva de relógio. A métrica de desempenho utilizada para avaliação do circuito foi a relação sinal ruído (SNR). O estudo foi realizado através do software Simulink da plataforma MATLAB®, e a implementação digital foi na ferramenta Genus™ Synthesis Solution e Incisive Enterprise Simulator ambos da Cadence Design Systems. A partir da análise do sinal binário, constatou-se a compensação dos erros de deriva com SNR de 65,3 dB para erros de 1/200 e filtros de ordem 50. A área total ocupada pelo circuito digital foi de 0,3 mm².*

I. INTRODUÇÃO

Sistemas de comunicação sem fio modernos como receptores de banda larga, rádios definidos por *Software* e antenas de TV a cabo requerem dos conversores analógico digitais (CADs) velocidades e resoluções cada vez maiores para o acompanhamento da evolução do processamento de dados sem o alto consumo de potência. Os conversores analógico-digitais entrelaçados (TIADCs) são uma alternativa para resolução do problema do alto consumo de recursos para um grande desempenho. Estes dispositivos são formados por vários conversores menores e mais lentos conectados em paralelo e intercalados no tempo para o processamento de múltiplos sinais. O desempenho do método mostra-se mais eficiente do que o uso individual de vários CADs para manipulação de dados explicado em [1], todavia três erros importantes se destacam no TIADC: erros de offset, ganho e deriva de relógio. Dentre os erros presentes no TIADC, a deriva de relógio é a que impacta mais em sinais que demandam uma

precisão maior – dado que as regiões onde o sinal varia rapidamente são mais complexas de reconstruir. Propõe-se a utilização de filtros digitais implementados em *hardware* para corrigir a deriva de relógio dos múltiplos conversores analógico-digitais e otimizar a reconstrução do sinal. Entre os principais aspectos estudados, destacam-se a teoria de reconstrução de [2], o estudo da ferramenta de simulação *Simulink* do ambiente MATLAB®, a construção de blocos comportamentais dentro do ambiente a partir da linguagem de descrição de *hardware* VHDL, e as plataformas de síntese e análise de circuitos digitais *Genus™ Synthesis Solution* e *Incisive Enterprise Simulator* – da *Cadence Design Systems*.

O estudo realizado difere em relação ao método utilizado no estado da arte da correção de erros de relógio em TIADCs – [3] e [4] – que utiliza métodos de calibração e estatística para eliminação da deriva de relógio em tempo real. Em [3] o método de calibração é utilizado em TIADCs com SNR de 60 dB e frequência de 2,7 GHz, mas trabalha com filtros polifase. [4] propõe um algoritmo de calibração baseado em estatística para a correção de erros, mas depende de dados anteriores para ser capaz de gerar os filtros.

Este artigo é organizado da seguinte maneira: a seção II descreve analiticamente o processo de filtragem no domínio do tempo discreto, apresentando o efeito do filtro na compensação do sinal. A seção III apresenta as configurações utilizadas para a validação funcional do circuito digital. A seção IV mostra os resultados obtidos a partir da síntese do circuito digital. A conclusão é apresentada na seção V.

II. CORREÇÃO DE ERROS DO TIADC

A. Funcionamento do TIADC

O sinal de saída do TIADC é constituído pelas saídas de cada um dos M sub-conversores – então a saída do

mesmo será a soma de cada um dos sub-conversores no tempo discreto, exposto em (1):

$$y[n] = \sum_{i=0}^{M-1} y_i[n] \quad (1)$$

A Fig. 1 ilustra a operação do dispositivo com a operação de multiplexação.

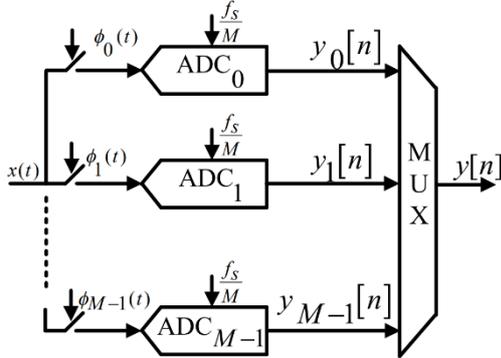


Fig. 1. Representação do funcionamento básico de um TIADC. [2]

O sinal amostrado é representado por funções *delta de Dirac* – $D_i(\Omega)$ – e no domínio da frequência discreta é apresentado como:

$$Y_i[\Omega] = X(\Omega) * D_i(\Omega) = \frac{1}{M} \sum_{k=-\infty}^{\infty} e^{-j\frac{2\pi k}{M}l} X(\Omega - \frac{k}{M}) \quad (2)$$

Devido a própria natureza do funcionamento do TIADC – pequenos erros no instante de aquisição do sinal analógico devido a pulsos de relógio alocados podem distorcer bastante o sinal que se objetiva reproduzir. A equação que descreve o comportamento do sinal de saída considerando irregularidades no sinal de relógio podem ser observadas em (3):

$$Y_i[\Omega] = \frac{1}{M} \sum_{k=-\infty}^{\infty} \sum_{i=0}^{M-1} e^{-j\frac{2\pi k}{M}\tau_i} e^{-j\frac{2\pi k}{M}l} X(\Omega - \frac{k}{M}) \quad (3)$$

Onde τ_i representa o tempo de atraso ou adiantamento da amostra, adotando como referência o tempo para o funcionamento ideal do TIADC.

B. Interpolação de Lagrange

O domínio analítico da amostragem não-uniforme é corroborado pela interpolação de Lagrange – a qual afirma que a interpolação pelo filtro *sinc* pode ser aproximada por um filtro passa-baixas, quando os conversores analógico-digitais estão uniformemente espaçados como segue em [4]. É postulado que o sinal pode ser adequadamente amostrado pelo somatório do sinal amostrado em t_n multiplicado por uma função de Lagrange em (4):

$$x[t] = \sum_{v=-\infty}^{\infty} x_c(t_v) \frac{G(t)}{G'(t_v)(t-t_v)} \quad (4)$$

onde $G(n)$ é:

$$G[t] = (t - t_0) \prod_{k \neq 0}^{\infty} \left(1 + \frac{t}{t_k}\right) \quad (5)$$

A interpolação utilizando (4) é chamada de interpolação de Lagrange. A transformada de Fourier do polinômio de Lagrange, é limitada em banda e forma uma sequência biortogonal a $e^{j t_n}$ entre $[-\frac{\pi}{T_N}, \frac{\pi}{T_N}]$, dado que por [4] em

(6):

$$|t_n - nT_N| \leq d < \frac{T_N}{4}, \text{ para todo } n \in Z \quad (6)$$

A amostragem periodicamente não uniforme pode ser vista como uma combinação de N sequências de amostras uniformes. Logo, "nessa forma de amostragem, os pontos de amostragem são divididos em grupos de N pontos cada. Os grupos têm um período recorrente, que é denotado por T, que é igual a N vezes o período de Nyquist" – [5]". (5) pode ser sumarizada em (7):

$$G(t) = t \prod_{n \neq 0}^{\infty} \left(1 - \frac{t}{nT}\right) \prod_{n \neq 0}^{\infty} \left(1 - \frac{t}{nT+t_1}\right) \dots \prod_{n \neq 0}^{\infty} \left(1 - \frac{t}{nT+t_{M-1}}\right) \quad (7)$$

os produtórios convergem em uma função de senos correspondentes a:

$$\frac{\sin(\pi(t-t_p))}{T} \quad (8)$$

as quais podem ser provadas a partir da definição da função *sinc*. Obtém-se, em (9), a relação:

$$\sin\left(\frac{\pi(t-t_p)}{t}\right) = k(t-t_p) \prod_{n \neq 0}^{\infty} \left(1 - \frac{t-t_p}{nT}\right) \quad (9)$$

derivando a expressão e usando a forma conhecida de amostragem não uniforme de sinais, encontra-se:

$$x_c(t) = \sum_{n=-\infty}^{\infty} \sum_{p=0}^{M-1} x_c(nT+t_p) \cdot \frac{a_p(-1)^{nM} \prod_{p=0}^{M-1} \sin\left(\frac{\pi(t-t_p)}{T}\right)}{\pi(t-nT-t_p)} \quad (10)$$

onde o coeficiente a_p é definido como:

$$a_p = \frac{1}{\prod_{\substack{q=-\infty \\ q \neq p}}^{\infty} \sin\left(\frac{\pi(t_p-t_q)}{T}\right)} \quad (11)$$

Para converter o filtro de tempo contínuo para um filtro discreto aplicando a identidade de interpolação, é necessário trocar as ordens dos somatórios da equação da reconstrução em (10),

$$f_p(t) = \sum_{k=-\infty}^{\infty} x_c(kT + t_p) \cdot \frac{a_p(-1)^{kM} \prod_{q=0}^{M-1} \sin\left(\frac{\pi(t_p - t_q)}{T}\right)}{\pi(t - kT - t_p)} \quad (13)$$

reescrevendo a equação anterior como uma convolução e usando a relação (14),

$$\sin(t - k\pi) = (-1)^k \sin(t) \quad (14)$$

é possível obter o filtro:

$$h_p(t) = a_p T \cdot \frac{\sin\left(\frac{\pi t}{T}\right)}{\pi t} \prod_{\substack{q=0 \\ q \neq p}}^{M-1} \sin\left(\frac{\pi(t + t_p - t_q)}{T}\right) \quad (15)$$

No domínio da frequência discreta o filtro deve apresentar um atraso não inteiro para compensação adequada [1] – representado em (16):

$$H'_p(\omega) = \frac{N}{T} H_p\left(\frac{N\omega}{T}\right) e^{-jt_p N\omega/T} \quad (16)$$

onde H_p corresponde ao filtro h_p no domínio da frequência discreta. No domínio do tempo discreto o filtro será:

$$h'_p[n] = \sum_n h_p\left(\frac{nT}{N} - t_p\right) \quad (17)$$

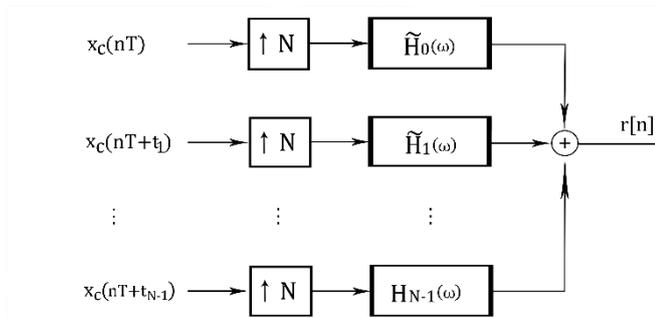


Fig. 2. Interpolação usando um banco de filtros de tempo discreto.

III. PROJETO DO FILTRO DIGITAL: VHDL E ASIC

Os blocos comportamentais que executam a função de filtragem foram aplicados a partir dos filtros de resposta ao impulso finita (FIR) de [1] – já otimizados em termos de ordem, *janelamento* e quantidade de *bits* a ser utilizada para os cálculos em vírgula fixa para o melhor desempenho em uma ampla faixa de frequências destinada ao envio de dados de dispositivos de comunicação sem fio. A ordem do filtro utilizada nas simulações é 50. A parte inteira da palavra binária possui 8 *bits* – considerando que é uma variável do tipo *signed*. A parte fracionária da palavra também possui 8 *bits*. O uso desse comprimento de palavra específico foi escolhido após verificar que a relação sinal-ruído do filtro implementado em vírgula fixa saturava para comprimentos maiores e tinha uma grande redução para palavras menores – como discutido em [1]. A Fig. 2 mostra o sistema desenvolvido para simulação dos filtros dentro do ambiente do *Simulink*.

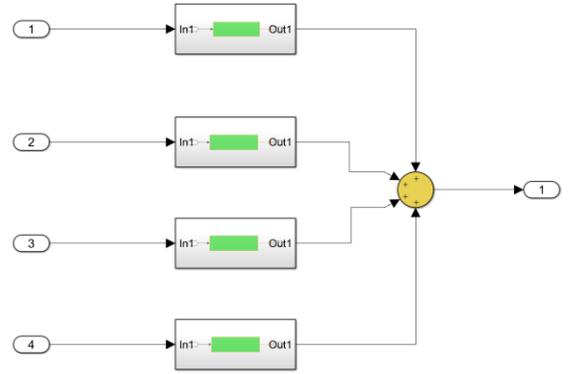


Fig. 3. Sistema utilizado para confecção do código VHDL.

O código na linguagem VHDL é gerado a partir das funções concebidas a partir dos blocos comportamentais criados no ambiente do *Simulink* e otimizados a partir de uma *testbench* customizada, produzida também através do simulador. Os dados pertinentes aos coeficientes do filtro h_p são carregados no bloco para as simulações. O fluxo de dados passa a ser verificado dentro do *Simulink* pelo *software ModelSim*. Esse programa analisa o código gerado mostrando os sinais binários de cada uma das portas do circuito, e através da comunicação com o *Simulink*, otimiza a estrutura do código para que este tenha mais eficiência em termos de *performance*. O código sintetizado pode então ser usado com um dispositivo FPGA para implementação dos filtros digitais em *hardware* para etapa de prototipagem.

Após a confecção do código otimizado, este é avaliado a partir da plataforma *Cadence Incisive Enterprise Simulator*. Este simulador analisa o sinal de maneira semelhante ao *Modelsim* utilizado na etapa de prototipagem. No entanto, este ambiente permite ao usuário a utilização das bibliotecas das tecnologias disponíveis dentro do *Cadence Virtuoso Analog Design Environment*. Desta forma, verifica-se a funcionalidade do circuito através dos transistores e portas lógicas customizadas da tecnologia, para que seja possível – através do *Cadence Genus™ Synthesis Solution* – verificar os aspectos de consumo de área, potência, portas lógicas e *timing*.

Utilizando a *Cadence Genus™ Synthesis Solution*, o código VHDL verificado através do simulador anterior, é então usado para criação de um desenho de *layout* possuindo informações pertinentes aos recursos utilizados para síntese física do circuito digital a partir das bibliotecas da tecnologia especificada para confecção do circuito. A tecnologia utilizada nos testes é a CMOS 130 nm.

IV. RESULTADOS

A. Reconstrução do sinal com um circuito digital

A Fig.4 apresenta o sinal apurado a partir do circuito digital de compensação de erros de relógio.

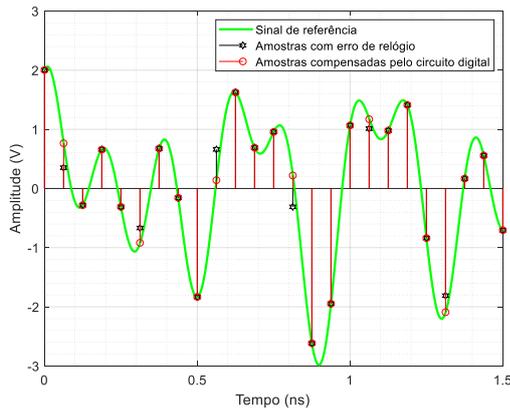


Fig. 4. Sinal discreto reconstruído a partir do filtro digital.

A figura apresenta o sinal original, o sinal amostrado com o erro de relógio de $\frac{1}{200}$ e o sinal compensado pela utilização do circuito digital. A relação sinal-ruído obtida para o sinal exposto na figura anterior foi de 65,3 dB – valor obtido pela razão entre os quadrados das amplitudes das amostras compensadas pelo circuito digital e as amostras idealmente amostradas no sinal de referência. O mesmo resultado foi obtido com o uso do *Simulink* e do *Cadence Incisive Enterprise Simulator*.

A tabela 1 mostra as características notáveis obtidas a partir da síntese do circuito digital a partir do *Cadence Genus™ Synthesis Solution*.

TABELA 1. CARACTERÍSTICAS DE SÍNTESE DO CIRCUITO DIGITAL

Área total	0,3 mm ²
Quantidade de portas lógicas	18050
Atraso total das portas lógicas	2984 ps

O simulador fornece a quantidade de cada uma das portas lógicas utilizadas no circuito digital especificando a área ocupada juntamente com o atraso das portas individuais dentro do *testbench* utilizado para validação funcional do circuito.

V. CONCLUSÃO

As simulações realizadas para previsão comportamental do circuito digital compensador de erros

de relógio através do *Simulink* concordaram com as realizadas a partir do *Cadence Incisive Enterprise Simulator* fornecendo resultados compatíveis para os níveis de SNR esperados na transição do circuito implementado apenas em vírgula fixa para o operante a partir de componentes de *hardware* real, dado que ambas apontaram o mesmo valor de SNR. Em [1] o valor encontrado em vírgula flutuante é de 66,4 dB, mostrando que o processo de transição para o *hardware* reduziu o desempenho em 1,1 dB.

A relação sinal-ruído entre as simulações de vírgula fixa e após a confecção do circuito RTL diferem dado que na segunda simulação são considerados os atrasos de propagação nas portas lógicas – este atraso impede a reconstrução do sinal com a mesma qualidade observada para as simulações executadas através do MATLAB®.

Embora o consumo de recursos de área esteja concordante com os resultados observados no estado da arte em [3] e [4] – a análise de potência é inconclusiva pois o filtro ainda não passou pela etapa de otimização. Melhorias como um uso mais eficiente das portas lógicas poderia se apresentar como solução para operações de faixas de frequência de amostragem efetivas superiores a 1 GHz.

REFERÊNCIAS

- [1] Luiz, A. L.; Lolis, L. H. A. . "Digital filter bank for TIADC clock skew compensation: a performance analysis." In: Proceedings of the 33rd South Symposium on Microelectronics, 2018, Curitiba.
- [2] S. Maymon and A. V. Oppenheim, "Sinc Interpolation of Nonuniform Samples," in IEEE Transactions on Signal Processing, vol. 59, no. 10, pp. 4745-4758, Oct. 2011.
- [3] H. Le Duc, D. M. Nguyen, C. Jabbour, P. Desgreys, O. Jamin and V. Tam Nguyen, "Fully Digital Feedforward Background Calibration of Clock Skews for Sub-Sampling TIADCs Using the Polyphase Decomposition," in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 64, no. 6, pp. 1515-1528, June 2017.
- [4] Liu, Xiangyu & Xu, Hui & Wang, Yanan & Nan, Li & Liu, Guiqing & Tian, Qiaoyu. (2018). Statistics-Based Correction Method for Sample-and-Hold Mismatch in 2-Channel TIADCs. 1-4. 10.1109/TSP.2018.8441306.
- [5] Y. C. Eldar and A. V. Oppenheim, "Filterbank reconstruction of bandlimited signals from nonuniform and generalized samples," in IEEE Transactions on Signal Processing, vol. 48, no. 10, pp. 2864-2875, Oct. 2000