



# Técnica de Polarização de Corpo em um Amplificador de Potência

P. Rocha<sup>1</sup>, B. Leite<sup>1</sup>, A. A. Mariano<sup>1</sup>  
<sup>1</sup>Universidade Federal do Paraná, Curitiba, Brasil  
pauloespcom@gmail.com

**Resumo**—Este artigo apresenta os resultados da simulação de um amplificador de potência (PA) CMOS em 2,4GHz, explorando a técnica de polarização de corpo, a fim de mensurar a utilização do substrato agindo como uma segunda porta (ou backgate) para o MOSFET. O PA proposto foi um amplificador Cascode Simples, onde o circuito esquemático e as simulações foram projetadas e realizadas no software Cadence Virtuoso usando o processo RF CMOS GlobalFoundries de 130nm. Nessas simulações o fator de estabilidade foi maior do que 1 na faixa de 0 a 5GHz. A base teórica da pesquisa foi o efeito de corpo nos transistores MOS, com o uso de transistores triple-well e sendo comparado os resultados dessa técnica com o padrão normalmente utilizado de fixar o substrato à fonte (ponto mais negativo da fonte nos dispositivos canal n). Foram aplicadas tensões de polarização entre 0V e  $\pm 2V$ , onde as métricas observadas foram o ganho de pequenos sinais (S21), o ponto de compressão de 1dB (OCPI) e a Eficiência de Potência Adicionada. Os resultados demonstraram um aumento na linearidade do PA de 0,9 dB, do PAE de 1,6% e do S21 de 0,4dBm.

**Palavras-chave:** Amplificador. Potência. Polarização. Corpo. Linearidade.

## I. INTRODUÇÃO

Em conformidade com o relatório Cisco [1], estão em avanço as comunicações móveis e as conexões de grande alcance e de baixa potência (LPWA), frequentemente utilizadas em IoT (do inglês Internet of Things, ou Internet das coisas). Esse tipo de conectividade de rede sem fio destina-se especificamente a módulos M2M, que exigem baixa largura de banda, ampla cobertura geográfica e baixo consumo de energia.

Sintonizado a este entendimento e objetivando uma maior redução do consumo de energia, é importante considerar que o estudo de Huang, Weng e Chang [2], demonstra que os transistores e/ou resistores MOS (acrônimo de *Metal Oxide Semiconductor*) são os principais componentes, no circuito integrado, que consomem energia. Portanto, uma maneira de economizá-la é fazer com que todo o circuito funcione com baixa tensão e baixa corrente. Ainda, deve ser considerada a observação de Razavi [3] de que a não linearidade do PA é crítica e pode produzir, para modulação, os efeitos de alta potência do canal adjacente como resultado do crescimento espectral, bem como compressão da amplitude.

Sendo assim, foi analisado um projeto de um amplificador de potência, utilizando a topologia de um *Cascode* simples, em radiofrequência, operando a 2,4 GHz e usando a tecnologia em 130 nanômetros HP (*High Performance*), software Cadence Virtuoso SpectreRF [4], disponível na Universidade Federal do Paraná (UFPR).

O objetivo foi verificar a contribuição, mediante a técnica da polarização de corpo [5], em um amplificador MOS, mantendo o seu funcionamento em baixa tensão e sem comprometer a eficiência do circuito. Também foram realizadas simulações e análises das métricas típicas de ganho em parâmetro de espalhamento, ponto de compressão de 1 dB de potência de saída, fator de estabilidade e PAE de um amplificador de potência. Para isso, foram utilizadas coleta bibliográfica e observação sistemática.

Este artigo está organizado em quatro subseções, onde a subseção A trata do circuito amplificador *Cascode* Simples desenvolvido, subseção B apresenta a técnica de polarização de corpo; a subseção C a tensão de *breakdown* dos transistores MOS e a subseção D as simulações e os resultados da simulação da técnica adaptativa proposta de polarização de corpo do transistor, comparando-se esses dados ao objetivo que norteou todo o estudo e as conclusões do autor.

## II. SEGUNDA SEÇÃO

### A. Circuito Amplificador Cascode Simples

A estrutura *Cascode* foi escolhida por apresentar uma alta impedância de saída em relação a configuração fonte comum (FC) de T1, e quando foi adicionado T2, a impedância do circuito foi aumentada de um fator igual a  $g_{m2}r_{o2}$  e o ganho de tensão aumentou de uma quantidade igual ao ganho intrínseco do dispositivo *Cascode* [3]. A configuração porta comum (PC) é o T2. O estágio de potência da Fig. 1 consiste de dois transistores do tipo *thick triple-well* NFET (dgnfettw-rf) que permite separar a tensão aplicada no corpo, que é isolada por um anel do tipo “n-well” profundo, da tensão aplicada no substrato material p. O prefixo “dg” representa uma camada de óxido espesso com tensão de *breakdown* de 2,7 V e o sufixo “rf” nesta célula representa uma geometria de layout RF controlada. Também foi inserido um indutor *choke* (L2), um circuito de realimentação RC ( $R_1$  e  $C_2$ ) e um capacitor ( $C_3$ ) para melhorar a estabilidade a 2,4 GHz.

Os capacitores  $C_1$  e  $C_4$  impedem que o componente dc das Portas 1 e 2 interfiram na polarização do circuito *Cascode*.

A fonte  $V_3$  e o indutor  $L_1$  definiram a tensão de polarização adequada (876 mV) para o estágio de potência operar na classe AB.

Neste processo recorrente, o circuito para referência típico foi aquele em que o corpo dos transistores foi ligado ao terra ( $V_1$  e  $V_2$  iguais a zero Volts), sendo definido os seguintes valores para os componentes passivos:  $L_1=3,03$  nH;  $L_2=2,2$  nH;  $R_1=840$   $\Omega$ ;  $C_1=4$  pF;  $C_2=3,47$  pF;  $C_3=1$  pF;  $C_4=1$   $\mu$ F. Os transistores foram projetados com as seguintes larguras de canal: 1,2 mm o porta comum (PC) e 3 mm o fonte comum (FC) e para operar na saturação.

A análise de estabilidade foi um processo importante no projeto deste amplificador, onde os parâmetros dos componentes foram simulados até que fosse encontrado um fator de estabilidade de Rollet superior a 1 na faixa entre 0 GHz e 5 GHz, para evitar que o circuito oscilasse quando o sinal fosse amplificado e realimentado no circuito [6]. Essa instabilidade do circuito poderia ser causada pela dependência do mesmo às impedâncias de fonte e carga apresentadas aos seus terminais.

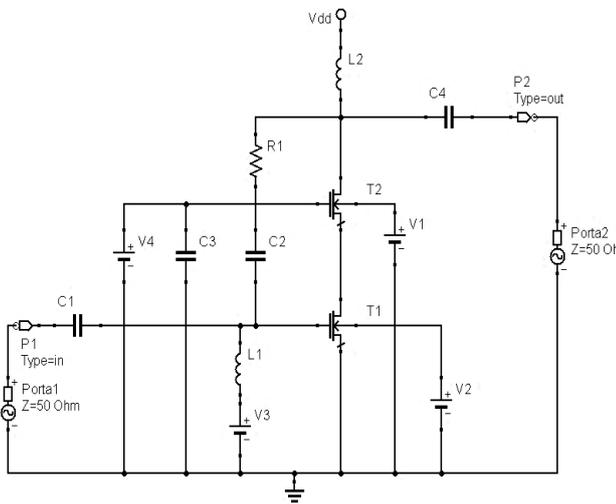


Fig. 1. Cascode Simple

As tensões de  $V_{dd}$ ,  $V_1$ ,  $V_2$  e  $V_3$  foram variadas ao longo das simulações, a fim de que fosse encontrado o melhor desempenho do circuito, baseadas em tensões de corpo referenciadas ao terra, bem como valores positivos e negativos.

### B. Técnica de Polarização de Corpo

Conforme Kuo e Wang [7], técnicas de polarização de corpo têm sido propostas para possibilitar a variação da tensão de limiar (*threshold Voltage* -  $V_{th}$ ). E, de acordo com Sedra e Smith [8], é usual conectar o substrato no ponto mais negativo em um transistor NMOS (acrônimo de *N-Channel Metal Oxide Silicon*) ou positivo no transistor PMOS (acrônimo de *P-Channel Metal Oxide Silicon*), para garantir a polarização reversa na junção substrato-canal. Entretanto, sendo aplicada uma polarização direta no corpo do transistor, haverá uma diminuição da densidade de carga no canal, reduzindo sua profundidade e, por sua vez, resultando numa diminuição na tensão de limiar que responde de acordo com a equação 1 [9] e [3].

$$V_{th} = V_{t0} + \gamma \left[ \sqrt{2\phi_f + V_{SB}} - \sqrt{2\phi_f} \right] \quad (1)$$

Sendo  $V_{t0}$  a tensão de limiar para a tensão entre fonte e o corpo ( $V_{SB}$ ) igual a zero;  $\phi_f$  é o potencial de Fermi e  $\gamma$  é um parâmetro conhecido como parâmetro de efeito de corpo. Baseado na equação 1 é possível depreender que uma tensão positiva ( $V_{SB} < 0$ ) poderá provocar uma redução em  $V_{th}$ , pela diminuição da largura da região de depleção e um aumento da carga móvel na camada de inversão. Por isso, a técnica de polarização do corpo pode resultar em uma redução do consumo de energia quando o  $V_{TH}$  diminuir, bem como pode contribuir para uma maior linearidade do amplificador de potência, de acordo com Huang, Weng e Chang [2], tendo em vista que influencia a corrente de dreno na saturação.

$$I_D = \frac{1}{2} k \frac{W}{L} (V_{GS} - V_{th})^2 - (1 + \lambda V_{DS}) \quad (2)$$

Conforme a equação 2,  $k$  é o fator de ganho do transistor MOS,  $W$  e  $L$  a largura e o comprimento do canal, respectivamente,  $V_{GS}$  a tensão *gate-source* (porta-fonte),  $V_{DS}$  a tensão *drain-source* (dreno-fonte) e  $\lambda$  o inverso da tensão de *Early* [3].

### C. Tensão de Breakdown

A principal restrição nesta arquitetura *Cascode* era cuidar para que a tensão de nó diferencial instantânea de pico não fosse maior que a tensão de *breakdown* (ruptura). Isso significou que as oscilações máximas  $V_{gs}$ ,  $V_{ds}$ ,  $V_{gd}$ ,  $V_{sb}$  e  $V_{db}$  (parcela DC mais parcela AC) não poderiam ser maiores que o limite de ruptura dos transistores ou, caso contrário, o silício seria danificado ou a vida útil do transistor reduziria.

Paulo_2:CASC1_COREPA:1	POUT_at_2V7_ymin_VDST2	eval err
Paulo_2:CASC1_COREPA:1	POUT_at_2V7_ymax_VGST2	20.26
Paulo_2:CASC1_COREPA:1	POUT_at_2V7_ymin_VGST2	eval err
Paulo_2:CASC1_COREPA:1	POUT_at_2V7_ymax_VGDT2	21.98
Paulo_2:CASC1_COREPA:1	POUT_at_2V7_ymin_VGDT2	16.96
Paulo_2:CASC1_COREPA:1	POUT_at_4V7_ymax_VSBT2	eval err
Paulo_2:CASC1_COREPA:1	POUT_at_4V7_ymin_VSBT2	eval err
Paulo_2:CASC1_COREPA:1	POUT_at_4V7_ymax_VDBT2	15.14
Paulo_2:CASC1_COREPA:1	POUT_at_4V7_ymin_VDBT2	eval err
Paulo_2:CASC1_COREPA:1	POUT_at_2V7_ymax_VDST5	21.9
Paulo_2:CASC1_COREPA:1	POUT_at_2V7_ymin_VDST5	eval err

Fig.2. Expressões no ADEXL para a máxima e mínima tensões instantâneas

As tensões limites, conforme o manual do fabricante: para o *nfet\_rf*, *nfettw\_rf* os  $V_{gs}$ ,  $V_{ds}$ ,  $V_{gd}$ , não devem ser superiores a 1,6V e os  $V_{sb}$ ,  $V_{db}$ , não devem ser superiores a 2,6 V; para o *dgnfet\_rf*, *dgnfettw\_rf* os  $V_{gs}$ ,  $V_{ds}$ ,  $V_{gd}$ , não devem ser superiores a 2,7 V e  $V_{sb}$ ,  $V_{db}$  não devem ser superiores a 4,7 V [4].

Para medir as tensões de *breakdown* dos transistores MOS foi utilizada uma metodologia [10] que permitiu automatizar a informação da tensão diferencial entre os terminais dos transistores MOS com base na potência de entrada (Pin). Os valores da Potência de entrada e respectiva saída onde ocorrem as tensões de *breakdown* foram estabelecidas por expressões do tipo “cross(ymax\_ VDST2 2.7 1 “rising” nil nil 0)” ou “cross(ymin\_ VDST2 -2.7 1

“falling” nil nil 0)” em 2,7V para os  $V_{gs}$ ,  $V_{ds}$  e  $V_{gd}$  e de 4,7V para  $V_{sb}$  e  $V_{db}$  e inseridas no “Output Setup” do ADE XL do Cadence para retornar valores, conforme exemplificado pela Fig.2.

Considerando que o PA deve operar exclusivamente de forma linear, o  $ICP_{1dB}$  deve ocorrer antes de qualquer um dos limites de *breakdown*. Para melhor entendimento, utilizando uma das simulações realizadas neste projeto, onde o primeiro ponto de ruptura de 4,7 V ocorreu em  $P_{in} = -5,96 \text{ dBm}@V_{DBT2}$ , conforme a Fig.3 e com  $P_{OUT} = 15,14 \text{ dBm}$ , de acordo com a Fig.2.

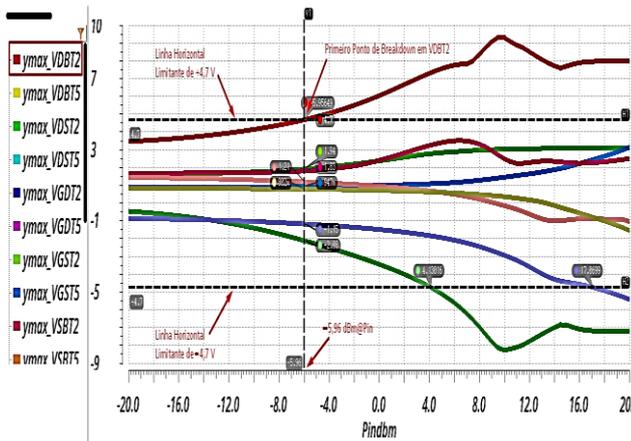


Fig.3. Varredura para as expressões das tensões dos nós diferenciais com limite em  $\pm 4,7 \text{ V}$

O critério que foi estabelecido neste projeto como uma salvaguarda para que o PA funcionasse no seu limite máximo de operação linear, sem nenhuma restrição, era que os valores dos componentes, Vdd e polarização seriam estabelecidos mantendo a diferença entre o  $ICP_{1dB}$  encontrado e o  $P_{in}$  de *breakdown* em, aproximadamente, 2 dB (valor referenciado), ou seja, menor que o limite de *breakdown*, conforme a Fig.4.

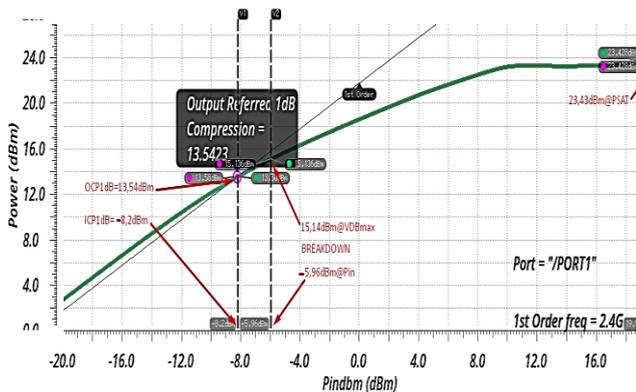


Fig.4. Potência de  $ICP_{1dB}$  limitada no valor de aproximadamente 2dB abaixo da potência de *breakdown*

A principal vantagem de empregar essa metodologia é que o *designer* não precisará abrir constantemente os gráficos. Para isso, foram geradas as expressões de tensão do nó diferencial, expressões instantâneas máxima e mínima de tensão dos mencionados nós, sendo possível verificar valores da tensão instantânea para alterar o circuito com maior

rapidez, tendo em vista a necessidade de realizar um número considerável de simulações.

Este critério de limitação do  $P_{in}$  em relação ao valor da potência de *breakdown* foi também utilizado para alcançar os valores máximos para  $V_{dd}$ , o que permitiu aumentar os valores das potências de entrada sem saturação, ou seja, aumentou a linearização do circuito e utilizou os transistores na plena condição de operação sem que fossem ultrapassados os limites de segurança do dispositivo.

#### D. Resultados

Para avaliar o circuito PA proposto, foram utilizadas três métricas principais: o ganho direto de pequeno sinal do PA, dado pelo parâmetro de espalhamento  $S_{21}$ , contornos de  $OCP_{1dB}$  ( $OCP_{1dB\_loadpull}$ ) e o PAE.

Nas simulações foram realizadas as seguintes combinações, utilizando a técnica de polarização direta e reversa [5]: (a) corpo de PC e FC em zero; (b) corpo de PC em zero e FC com tensões positivas; (c) corpo de PC em zero e FC com tensões negativas; (d) corpo de PC com tensões positivas e FC em zero; (e) corpo de PC com tensões negativas e FC em zero; (f) corpo de PC e FC com tensões negativas; (g) corpo de PC e FC com tensões positivas; (h) corpo de PC com tensões positivas e FC com tensões negativas; (i) corpo de PC com tensões negativas e FC com tensão positivas; e (j) corpo de PC ligado a fonte de PC e corpo de FC ligado em zero. Vale comentar que o terminal de fonte de FC estava no potencial zero.

As simulações foram realizadas configurando a temperatura de simulação em  $70^\circ\text{C}$  e impedância de  $50 \Omega$  nas portas dos terminais de entrada e saída. As tensões aplicadas no terminal de corpo dos transistores variaram de 0 a  $\pm 2\text{V}$ .

Também foi verificado que ao serem aplicadas tensões negativas no corpo dos transistores PC e/ou FC até o limite de, aproximadamente, 2 dB de *breakdown*, houve queda nos valores de  $S_{21}$ ,  $OCP_{1dB\_loadpull}$  e PAE. Tal fato se deve, uma vez que os resultados obtidos com tensão de polarização de corpo negativa são consequências do efeito da polarização reversa. Essa polarização provoca o aumento de  $V_{th}$ , devido o aumento da densidade de elétrons no canal do dispositivo MOS. Daí, a tensão da porta deve ser maior para compensar este efeito inverso do potencial, diminuindo o PAE. Ainda, com essa elevação da tensão negativa de polarização, houve uma redução da corrente entre dreno e fonte, reduzindo os valores de ganho e  $OCP_{1dB\_loadpull}$ .

Vale comentar que antes de chegar ao quadro 1 foram realizadas combinações de tensões e simulações para a escolha dos componentes. Essas simulações indicaram como os melhores resultados para  $OCP_{1dB}$  a polarização do corpo de T2 com o potencial zero e o de corpo de T1 com polarização positiva ( $V_{Bdy\_FC} > 0$ ) e próxima a 1,2 V. Nessas simulações também foi observado que partindo de  $V_{Bdy\_PC} = 0$  e  $V_{Bdy\_FC} = 1,2 \text{ V}$ , mantendo o valor de  $V_{DD}$  e aumentando apenas a  $V_{Bdy\_FC}$  foi possível aumentar a corrente  $I_{DS\_SAT}$  e, em consequência,  $OCP_{1dB}$ , respeitando o limite das tensões de *breakdown*.

O quadro 1 apresenta os maiores valores refinados, combinando  $V_{DD}$  e  $V_{Bdy\_FC}$ . Com a análise das simulações foi verificado que os resultados onde ocorreram o melhor

