

Projeto de divisor e combinador de potência baseados em transformadores integrados

J.P. Perbiche¹, F. Santos¹, B. Leite¹, A. A. Mariano¹

¹GICS - Grupo de Concepção de Circuitos e Sistemas Integrados,
UFPR, Curitiba, Brasil
joaoerbiche@gmail.com

Resumo — Este trabalho apresenta o projeto de divisores e combinadores de potência, constituídos por transformadores integrados em tecnologia CMOS 130 nm para um amplificador de potência (PA) de 2,4 GHz. O combinador e divisor de potência baseados em transformadores foram projetados por meio de simulações eletromagnéticas, usando o método dos elementos finitos, a fim de alcançar valores baixos de perdas de inserção. O divisor de potência apresentou uma perda de 0,77 dB e o combinador de potência uma perda de inserção de 1,04 dB. Para validação dos divisores e combinadores, foram associados dois PAs em paralelo. As simulações pós-leiaute obtiveram um valor de ponto de compressão de saída de 1 dB (OCP_{1dB}) de 26,5 dBm. O pico de eficiência de potência (PAE) foi de 22,5 %, e no OCP_{1dB} a PAE foi de 13,3 % com máximo ganho de potência foi de 16,5 dB.

I. INTRODUÇÃO

Nos últimos anos, o mercado de comunicações sem fio ganhou popularidade [1], e a indústria de circuitos integrados cresce significativamente. Consequentemente, os circuitos integrados de radiofrequência (RF) para comunicações sem fio com tecnologia CMOS se tornam uma tendência importante, devido às suas vantagens de baixo preço e alta capacidade de integração [2]. Essa tecnologia com extensa capacidade de processamento e também com consumo de energia reduzido [3] e baixo custo, atraem os projetistas de RF.

O amplificador de potência (PA), por se localizar no fim de uma cadeia de transmissão, exerce um papel fundamental no sistema de comunicação, responsável por fornecer potência ao sinal que será emitido. Seu projeto requer atenção, por ser um circuito com alto consumo de energia.

A concepção do PA integrado em CMOS sofre uma limitação de tensão e corrente, principalmente pela baixa tensão de ruptura dos transistores integrados [4]. Devido a essa limitação, os PAs implementados em CMOS, possuem uma dificuldade de conservar na saída potências elevadas [5]. Uma das soluções para essa barreira, é a utilização do método de combinação de potência [4], superando o nível de potência que os transistores fornecem.

Neste trabalho, um divisor de potência e um combinador de duas entradas baseado em transformadores

integrados são propostos para combinar a potência de dois PAs. Serão integrados na tecnologia CMOS 130 nm para operação em 2,4 GHz. Como representação simplificada do circuito a ser executado, na Fig. 1, dois amplificadores receberão sinais provenientes do divisor e os sinais de tensão dos amplificadores serão associados em um único sinal de saída a partir do combinador de potência.

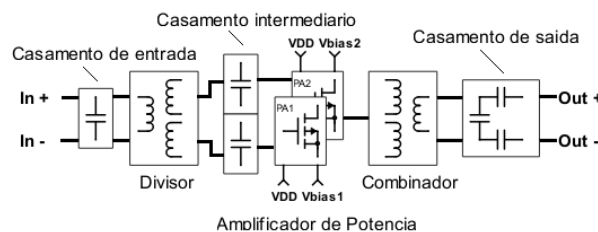


FIG. 1 CIRCUITO SIMPLIFICADO PARA ASSOCIAÇÃO DE DOIS AMPLIFICADORES

A Seção II apresenta a topologia física dos transformador que compõem o divisor e o combinador e as métricas de avaliação. Na seção III, são apresentados os resultados de simulações pós-leiaute e discussões.

II. METODOLOGIA

Divisores e combinadores usando componentes passivos como transformadores para aplicações de baixa frequência, possuem tamanho razoavelmente grande [2]. Linhas de transmissão também são utilizadas para a divisão e combinação de potência [6].

Os combinadores e divisores passivos possuem como principal métrica de avaliação, a mínima perda de inserção (ILm). A ILm é dependente dos fatores de qualidade e do acoplamento magnético das bobinas. Esta métrica corresponde à atenuação causada pelo componente quando suas portas estão interconectadas ao complexo conjugado de suas impedâncias [1].

A. Divisor de de Potência

Este trabalho tem como objetivo o projeto de um divisor diferencial de potência baseado em transformadores integrados em CMOS 130 nm para operação em 2,4 GHz. O divisor tem como princípio, gerar dois sinais iguais em amplitude e defasados em 180°.

Na Fig.2 tem-se a representação clássica de um divisor, em que o sinal de entrada percorre a bobina primária com os terminais IN+ e IN-. As duas bobinas secundárias representam os sinais de saída do divisor, o divisor 1 com as portas D1+ e D1- e o divisor 2 com as portas D2+ e D2-.

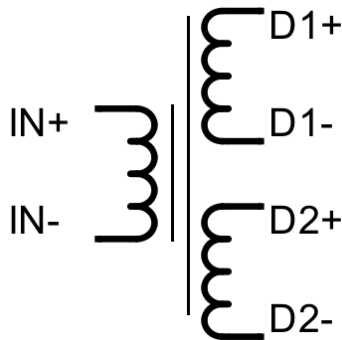


Fig. 2 CIRCUITO ESQUEMÁTICO DO DIVISOR

Entre os diversos modelos, os divisores clássicos, possuem uma única bobina para o sinal de entrada e também única bobina para cada caminho do divisor de potência (dois caminhos no total), como na Fig. 2. Para a simulação dos transformadores foi utilizada a ferramenta *Advanced Design System* (ADS) com simulação eletromagnética. Os valores de ILm para este modelo clássico, foram insatisfatórios – acima de 2 dB – pois utilizou as três camadas de metais da tecnologia, uma para cada bobina. A espessura da camada de metalização mais alta da tecnologia é significativamente maior do que para as demais. Assim, enrolamentos que usem camadas mais baixas têm um aumento significativo em suas resistências parasitas e, conseqüentemente de ILm.

Portanto foi escolhida uma topologia com apenas duas camadas de metalização, para reduzir as perdas no projeto. Um dos modelos visando a diminuição das perdas, representado na Fig. 3, possui as entradas diferenciais IN+ e IN- com a camada de metalização mais alta da tecnologia (amarelo), com uma polarização de centro de bobina conectada ao terminal de terra. A bobina primária, de único enrolamento, possui espessura de 40 μm . As bobinas do secundário, com a segunda camada de metalização mais alta da tecnologia (azul), possuem espessura de 17 μm , com espaço de 6 μm entre as bobinas secundárias. Como representado na Fig. 3 (b), um dos divisores possui saídas D1+ e D1-, e as correspondências em D2+ e D2-, para outro divisor. Neste caso, as duas bobinas secundárias estão no mesmo nível de metalização, diminuindo a perda do divisor.

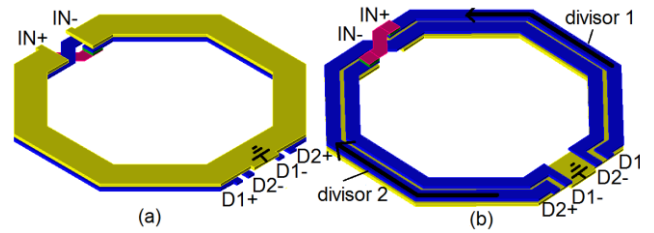


FIG. 3 VISTA SUPERIOR (A) E VISTA INFERIOR (B) DO DIVISOR DE POTÊNCIA

Este divisor possui um acoplamento magnético vertical, com a vantagem de possuir maiores valores de acoplamento magnético, em relação as topologias horizontais. O divisor projetado possui dimensões de 350 x 350 μm^2 , apresentando uma perda de inserção de 0,77 dB na frequência de 2,4 GHz. O comportamento dessa perda está representado na Fig. 4, com uma tendência de diminuição conforme o incremento da frequência. Os resultados destacam que as perdas dependem da frequência devido ao efeito pelicular [7], mas também dependem da geometria do transformador, bem como características do material condutor.

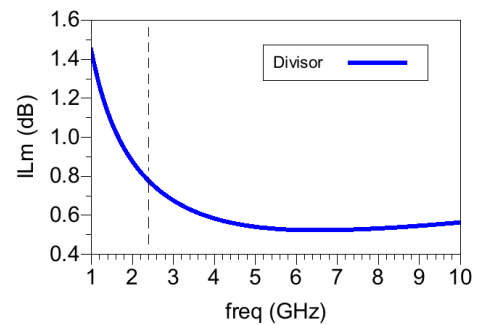


FIG. 4- SIMULAÇÃO DA PERDA DE INSERÇÃO PARA O DIVISOR

O divisor obteve valores de indutância para a bobina primária de 0,17 nH e para as secundárias de 0,25 nH. Por terem bobinas com praticamente o mesmo comprimento externo, as bobinas secundárias possuem maior valor de indutância.

B. Combinador de Potência

Combinadores formados por transformadores integrados podem ser combinados em série ou paralelo [8]. Neste trabalho, os enrolamentos primários são conectados aos amplificadores de forma paralela, e as bobinas secundárias em série.

Na Fig. 5 tem-se a representação de um combinador, em que os sinais de saída dos PAs percorrem as bobinas primárias pelas portas IN1+, IN1-, IN2+ e IN2-. E a combinação da potência ocorre pela bobina secundária, representada no modelo pelas portas OUT+ e OUT-.

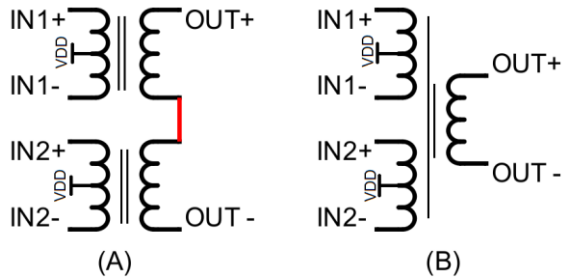


FIG. 5 CIRCUITO ESQUEMÁTICO DO COMBINADOR

Experimentalmente optou-se pelo modelo representado na Fig. 5 (b), com uma única bobina secundária, por reduzir a área do elemento passivo. Podendo apresentar praticamente metade da área ocupada em comparação em (a).

A representação física do modelo da Fig. 5 (b), está ilustrada na Fig. 6. Este combinador possui duas entradas, com cada uma representada com metade de uma bobina completa – metal de nível mais alto (cor amarela) – com espessura de 40 μm . Estas entradas são polarizadas com o terminal de alimentação (vdd). Neste caso, foi confeccionada uma única bobina secundária, para combinar as potências dos PAs, representado na Fig. 6 (b), formado por 3 enrolamentos. Cada enrolamento possui espessura de 10 μm e espaço de 5 μm entre cada uma, com saídas referencias como OUT+ e OUT-.

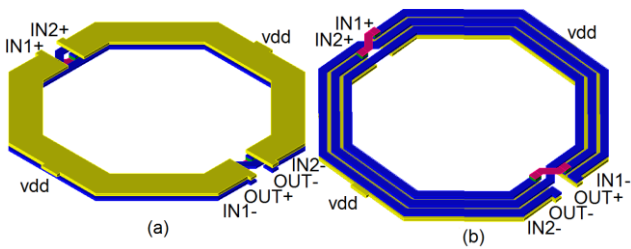


FIG. 6- VISTA SUPERIOR (A) E VISTA INFERIOR (B) DO COMBINADOR DE POTÊNCIA

Da mesma forma do divisor, foi utilizado o mesmo acoplamento vertical para o combinador, e as bobinas com o formato octogonal, por fornecer melhores fatores de qualidade que outros modelos.

Como o secundário possui uma única bobina, não há acoplamento magnético negativo, que afeta o valor da perda de inserção. O comportamento desta métrica para o combinador está representada na Fig. 7, que ilustra uma perda de 1,04 dB em 2,4 GHz.

A baixa indutância primária de 0,62 pF é devida à grande espessura da trilha e ao comprimento reduzido da bobina. Para realizar a combinação de amplificadores, as indutâncias secundárias necessitam ser razoavelmente

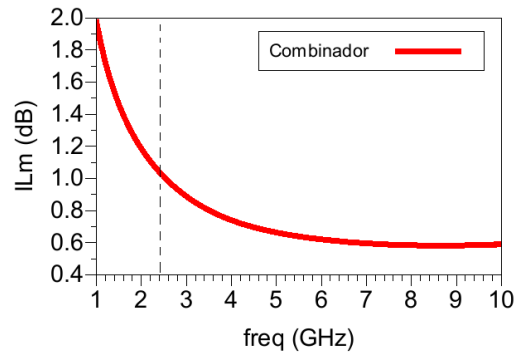


FIG. 7- SIMULAÇÃO DA PERDA DE INSERÇÃO PARA O COMBINADOR

grandes, para poder entregar maior potência para a saída. O combinador projetado possui uma dimensão de 350 x 350 μm^2 , apresentando uma indutância secundária de 1,5 nH.

III. RESULTADOS

Para mensurar o comportamento do divisor e do combinador, faz-se necessário a utilização de dois PAs para associação. Foi utilizado um PA diferencial baseado em [9]. Cada PA com a configuração em cascode, com alimentação de 1,8 V, possui três células de potência, conforme Fig. 8.

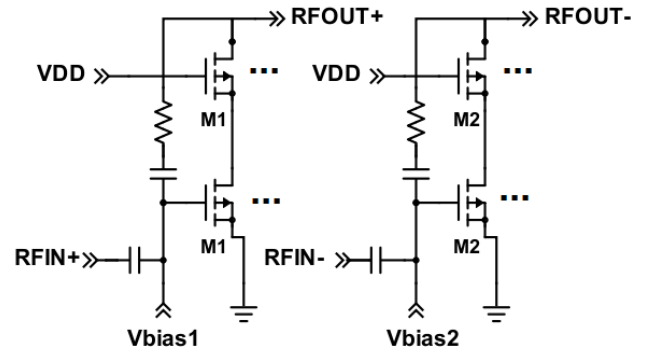


FIG. 8 – ESQUEMÁTICO SIMPLIFICADO DO PA UNITÁRIO

Para simulação fez-se necessário um divisor, dois amplificadores, um combinador, e casamentos de impedância de entrada, saída e inter estágios, detalhado na Fig. 1. A rede de entrada é realizada a combinação do divisor com capacitores, da mesma forma ocorre com o combinador na saída.

Para análise do comportamento foi utilizado o software Cadence Virtuoso com simulações pós-leiaute, e o circuito simulado na forma de diagrama em blocos na Fig. 1.

O leiaute completo do circuito, está representado na Fig. 9, em que os dois elementos passivos representam a maior ocupação do sistema, em um total de 2,5 x 1,6 mm^2 .

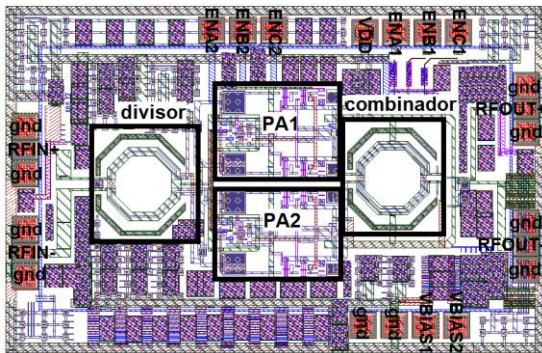


FIG. 9 – LEIAUTE COMPLETO EM CMOS 130 NM

Os comportamentos do ganho e da eficiência em função da potência de saída estão representados na Fig. 10. Foi alcançado um máximo ganho de potência de 16,5 dB. A máxima eficiência chegou a 22,5 % e a 13,3 % no ponto de compressão.

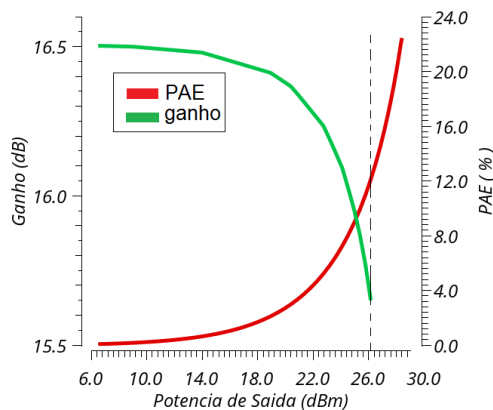


FIG. 10 SIMULAÇÃO DE EFICIÊNCIA E GANHO DE POTÊNCIA

Representado na Fig. 11, os parâmetros S do circuito em função da frequência, com o ganho de potência em pequenos sinais de 16,5 dB (S21). Com um parâmetro de casamento de impedância de entrada (S11) de -15 dB, para a frequência de operação de 2,4 GHz.

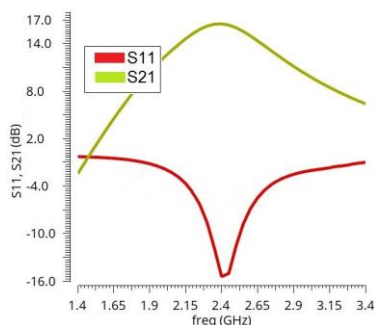


Fig. 11 – SIMULAÇÃO PÓS LEIAUTE DE PARÂMETROS S

IV. CONCLUSÃO

Este trabalho apresentou modelos e resultados de pós-leiaute de combinadores e divisores de potência em CMOS 130 nm para operar em 2,4 GHz.

O divisor apresentou perda de inserção de 0,77 dB e o combinador 1,04 dB. Somando a potência de dois PAs em paralelo foi alcançado um ganho de 16,5 dB e uma eficiência máxima de 22,5 %, e uma PAE de 13,3 % no ponto de compressão. Com uma potência de OCP_{1dB} de 26,5 dBm.

Desta forma, uma das características da associação de células de potência, é uma melhora na capacidade de entrega da potência de saída com uma maior eficiência.

REFERÊNCIAS

- [1] J. F. Kurose, K. W. Ross. Computer Networking: "A Top-Down Approach", 5th ed., MA, USA: Addison-Wesley, 2009
- [2] S.-Y. Lee, C. C. Lai. "A 1-V Wideband Low-Power CMOS Active Differential Power Splitter for Wireless Communication" IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 55, NO. 8, AUGUST 2007
- [3] FRANÇOIS, B; REYANERT, P. "A Fully Integrated Watt-Level Linear 900-MHz CMOS RF Power Amplifier for LTE-Applications" IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, Junho, 2012. VOL. 60, NO. 6.
- [4] ZHAO, D; REYNAERT, P. "A 60-GHz Dual-Mode Class AB Power Amplifier in 40-nm CMOS". IEEE JOURNAL OF SOLID-STATE CIRCUITS, Outubro 2013, VOL. 48, NO. 10.
- [5] TUFFERY, A; DELTIPLE, N; KERHERVÉ, E; KNOPIK, V; CATHELIN, P. "CMOS fully integrated reconfigurable power amplifier with efficiency enhancement for LTE applications." ELECTRONICS LETTERS 22nd, Janeiro, 2015. Vol. 51 No. 2 pp. 181– 183
- [6] A.-L.Franc, E. Pistono, N. Corrao, D. Gloria, P. Ferrari. "Compact high-Q, low-loss mmW transmission lines and power splitters in RF CMOS technology." IEEE MTT-S International Microwave Symposium, 2011
- [7] M. Ercoli, D. Dragomirescu, R. Plana, "An Extremely Miniaturized Ultra Wide Band 10-67 GHz Power Splitter in 65 nm CMOS Technology" IEEE/MTT-S International Microwave Symposium Digest, 2012
- [8] D. Chowdhury, C. D. Hull, O. B. Degani, Y. Wang, "A Fully Integrated Dual-Mode Highly Linear 2.4 GHz CMOS Power Amplifier for 4G WiMax Applications." IEEE JOURNAL OF SOLID-STATE CIRCUITS, Dezembro 2009. VOL. 44, NO. 12
- [9] F. Santos, A. Mariano, B. Leite. "2.4 GHz CMOS Digitally Programmable Power Amplifier for Power Back-off Operation." VII Latin American Symposium on Circuits and Systems