

Conversores Integrados Híbridos: Passive-Stacked 3RD Order (PS3) Boost

Tales Aquino Henn¹, Juan Camilo Castellanos Rodriguez¹

¹ Universidade Tecnológica Federal do Paraná, Curitiba, Brasil

talesaquino Henn@alunos.utfpr.edu.br

Resumo — Os circuitos integrados de gerenciamento de energia, na forma de conversores CC/CC, ocupam um papel relevante para o mercado atual, devido às suas diversas aplicações na indústria eletrônica. Dentre as topologias de conversores híbridos que suprem essa necessidade, destaca-se a *Passive-Stacked 3rd Order (PS3) buck*, a qual permite uma eficiência de 98,8% quando integrada totalmente em CI. O objetivo deste trabalho consiste em projetar e analisar uma nova topologia: a *PS3 boost*. Para isso, realizou-se a implementação de 3 topologias de circuitos no software *Cadence Virtuoso Studio* utilizando a tecnologia *BICMOS 130 nm*. As três topologias idealizadas usam dois pequenos indutores de 270 nH, dois capacitores (0,47 μ F) e duas ou quatro chaves nFET. Os conversores foram demonstrados mediante simulação usando uma tensão de entrada $V_{in}=1,8V$, uma frequência de chaveamento $f_{sw}=6,5$ MHz e uma corrente máxima de $I_{out}=1$ A. Considerando as suas perdas por condução e chaveamento, as topologias apresentaram eficiência superior a 80% em até 3V com correntes de 0,5 a 2 A. Os conversores tem uma área estimada de 0,0025 mm² com eficiência máxima de 94,1%. Portanto, os resultados demonstram a possibilidade de aplicar o *PS3 boost*, bem como as suas vantagens de redução dimensional dos passivos e de perdas em topologias on-chip

I. INTRODUÇÃO

A miniaturização dos conversores CC/CC se torna cada vez mais importante para o desenvolvimento dos circuitos integrados de gerenciamento de energia. As suas aplicações na indústria eletrônica, principalmente em dispositivos móveis e eletrônicos de consumo, demandam o aumento da eficiência e a redução das dimensões dos circuitos. Além disso, o aperfeiçoamento da eficiência e da densidade de potência dos conversores promove, no caso dos dispositivos móveis, o aumento da duração da bateria e a redução do fator de forma dos produtos, suprimindo as principais reivindicações do mercado atual. No entanto, para aumentar a eficiência do circuito, utiliza-se passivos maiores, elevando a sua área total e reduzindo a sua

densidade de potência. Por exemplo, no caso da utilização de indutores como passivos, ao aumentar suas dimensões e manter a sua indutância constante, a sua resistência (R_{DC}) diminui, reduzindo as perdas associadas e favorecendo a eficiência em detrimento da densidade de potência [1].

Os conversores CC/CC são convencionalmente construídos com capacitores ou indutores chaveados, dependendo da sua aplicação. De forma geral, quando são chaveados com indutores, eles apresentam alta eficiência e baixa densidade de potência. Pois os indutores possuem baixa R_{DC} e são maiores do que os capacitores que armazenam a mesma quantidade de energia. Nesse sentido, quando são chaveados com capacitores, eles apresentam baixa eficiência e alta densidade de potência. Isso se deve às altas perdas de carregamento dos capacitores e à sua capacidade para armazenar mais energia do que os indutores de mesmo tamanho [2].

O *trade-off* entre eficiência e densidade de potência pode ser atenuado com a utilização de conversores híbridos, pois, como estes apresentam indutores e capacitores chaveados, permitem priorizar a característica conveniente para cada aplicação. Dentre as topologias de conversores híbridos, destaca-se a *Passive-Stacked 3rd Order (PS3)*, pois – ao contrário dos conversores *buck* convencionais, que possuem um indutor na saída do circuito – esta possui dois indutores na entrada para minimizar as perdas por condução. Substituir um indutor por dois indutores com indutâncias e dimensões menores aumenta a densidade de potência do sistema e reduz o espaço ocupado por componentes passivos. Mesmo que essa configuração aumente a R_{DC} dos indutores, as perdas por condução desta topologia são 1,4 vezes menores do que as convencionais com o mesmo tamanho, pois a corrente de entrada é menor do que a corrente de saída [3].

Na literatura, o *PS3 buck* apresentou uma eficiência máxima de 98,8% com a tensão de entrada (V_{in}) igual a 1,8V, a tensão de saída (V_{out}) igual a 1,34 V e a corrente de saída (I_{out}) igual a 0,5 A. Além disso, mantém a eficiência acima de 80% em tensões de saída inferiores a 0,2 V. Portanto, considerando os resultados promissores do *PS3 buck*, o principal objetivo deste trabalho consiste em desenvolver e analisar a topologia *PS3 boost* ainda não

explorada na literatura. Na secção II são descritas as três topologias PS3 *boost* propostas. Na secção III são apresentadas as características dos componentes utilizados para o projeto dos conversores para o estudo de caso. Na Secção IV se apresentam os resultados da simulação dos circuitos e, finalmente, a secção V conclui este trabalho.

II. OPERAÇÃO DO PS3 BOOST

A partir do estudo do PS3 *buck* [1], foram idealizadas três topologias distintas: *boost* 1, *boost* 2 e *boost* 3, representadas pelas figuras 1, 2 e 3, respectivamente. Mesmo sendo distintas, elas possuem características em comum, como os componentes utilizados em seu desenvolvimento e suas disposições no circuito. Constituídos por dois indutores (L_1 e L_2) de 270 nH, dois capacitores (C_F e C_{out}) de 0,47 μ F e dois ou quatro nFET's, os conversores apresentam um sistema de entrada comum, no qual L_1 , L_2 e C_F estão empilhados. Também se conservaram os indutores do lado da entrada para reduzir as perdas por condução ocasionadas pela resistência dos indutores. Isso ocorre devido à adição do capacitor, que reduz a tensão necessária para o carregamento dos indutores e, por consequência, o *ripple* da corrente, diferenciando esta topologia dos conversores *boost* convencionais.

Apesar disso, as topologias diferem quanto à configuração da fonte de alimentação, o número de fases por ciclo de operação e o arranjo das conexões do sistema de chaveamento. O *boost* 1 e 2 possuem duas fases por ciclo de operação. Nesses conversores, a descarga do capacitor ocorre em direção ao indutor L_2 , na qual a corrente percorre o sentido oposto ao convencional, prejudicando a eficiência do sistema. O conversor *boost* 3 usa 4 fases para possibilitar a descarga do capacitor em direção à carga, a fim de reduzir as perdas associadas.

Nas três topologias, utiliza-se um detector de corrente zero (ZCD) em série com as chaves nFET's. Desta maneira é possível evitar o fluxo de corrente desde a carga até o *stack* de componentes passivos (LCL), o qual prejudicaria a eficiência. O ZCD emula o comportamento de um diodo e impede valores negativos da corrente, i.e. garantindo o modo de condução descontínua.

Independente das topologias analisadas, o princípio de funcionamento é o mesmo, tal que a equação que descreve V_{out} em função de V_{in} pode ser deduzida pela análise da tensão média do L_1 ou do L_2 de cada uma delas. Para explicar o princípio de funcionamento do *boost* 1, por exemplo, considera-se a fase 1 (Φ_1) como o momento em que S_1 está fechada e S_2 está aberta, e a fase 2 (Φ_2) como o oposto. Durante Φ_1 , a tensão sobre L_1 é igual a V_{in} e, durante Φ_2 , a tensão sobre L_1 é igual a $V_{in} - V_{out}$. Logo, considerando que a tensão média sobre L_1 deve ser igual a zero e que D representa o *duty-cycle* do chaveamento, a relação de operação do conversor é:

$$V_{out} = V_{in} / (1 - D) \quad (1)$$

Note que a expressão (1) é a mesma utilizada pelo conversor convencional de indutor chaveado *boost*. Da mesma maneira a análise realizada sobre L_2 e para os

conversores *boost* 2 e *boost* 3 conduz à relação da equação (1).

III. CARACTERIZAÇÃO DOS COMPONENTES

A caracterização das chaves nFET, realizada no software Cadence Virtuoso Studio, visa determinar a capacitância *gate-source* (C_{gs}) e a resistência *drain-source* ($R_{DS(on)}$) dos transistores. Essas características são obtidas, respectivamente, através da relação entre a impedância *gate-source*, a frequência de chaveamento do transistor e a relação entre tensão e a corrente *drain-source*. Cada transistor de $W = 1,2 \mu\text{m}$ e $L = 120 \text{ nm}$ possui $C_{gs} = 1,45 \text{ fF}$ e $R_{DS(on)} = 1,67 \text{ k}\Omega$. No entanto, para implementar os conversores e minimizar as perdas por condução, utilizam-se 8750 transistores em paralelo, tornando a $R_{DS(on)}$ equivalente igual a 1,67 m Ω . Portanto, considerando as chaves como a área mais representativa do conversor em CI, estima-se uma área de 0,0025 mm² para o *boost* 1 e 2, enquanto o *boost* 3 tem uma área estimada de 0,005 mm². Esses valores foram estimados com base na área ocupada por transistor no leiaute elaborado por [1]. Para os componentes passivos, foram usados capacitores e indutores discretos com uma $R_{DC} = 36 \text{ m}\Omega$ [4].

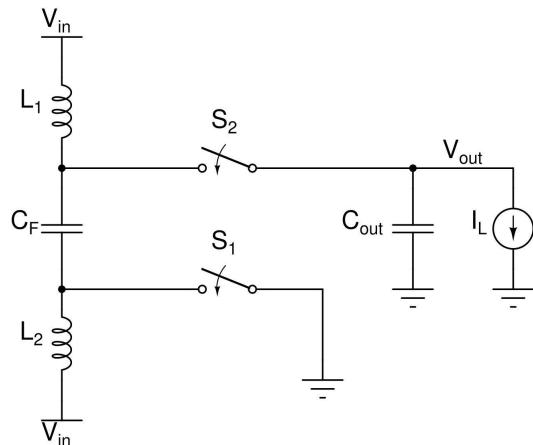


Fig. 1: Esquemático do PS3 *boost* 1

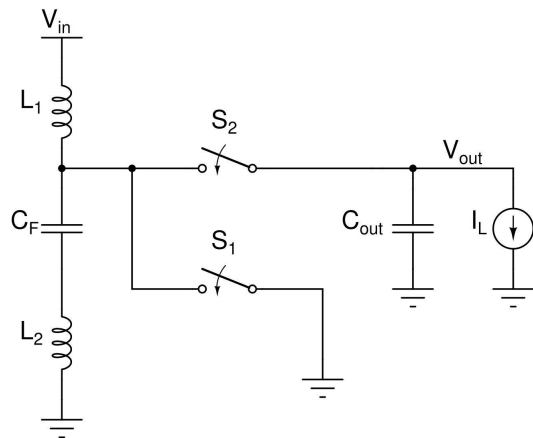


Fig. 2: Esquemático do PS3 *boost* 2

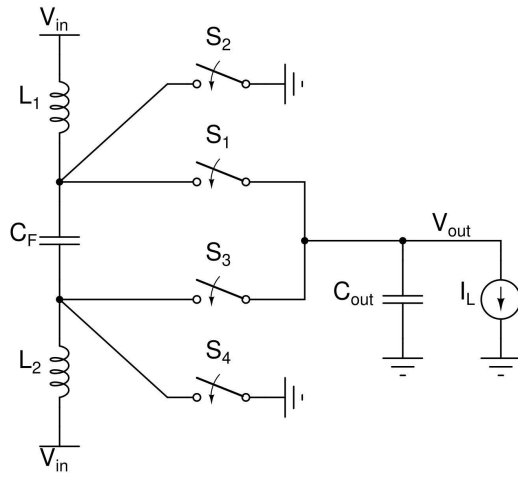


Fig. 3: Esquemático do PS3 boost 3

IV. RESULTADOS

A eficiência dos conversores foi determinada por meio das simulações de análise transiente, considerando as perdas de condução em L_1 e L_2 , as perdas de transferência de carga do capacitor e as perdas de chaveamento dos transistores. As condições iniciais de simulação apresentam $V_{in} = 1,8$ V, frequência de chaveamento $f_{sw} = 6,5$ MHz e uma corrente máxima de saída $I_{out} = 1$ A.

O *boost 1* apresenta eficiência máxima de 94,1 % com $V_{out} = 1,86$ V e $I_{out} = 0,5$ A. No entanto, esse resultado não possui aplicação prática, pois é muito próximo ao valor de entrada ($V_{in} = 1,8$ V). Apesar disso, ele é capaz de elevar a tensão até 5 V mantendo uma eficiência de até 80%, como ilustrado na figura 4. A topologia *boost 2*, por sua vez, apresenta resultados semelhantes à primeira versão, a eficiência máxima é 92,4% com $V_{out} = 1,85$ V e $I_{out} = 0,5$ A e também eleva a tensão até 5 V com até 80% de eficiência, como representado na figura 5. A terceira versão, *boost 3* possui eficiência máxima de 91% com $V_{out} = 3,27$ V e $I_{out} = 0,5$ A. Essa configuração eleva a tensão até 4,5 V (2,5 vezes) com uma eficiência acima de 80%, como ilustrado na figura 6.

Quando as eficiências das topologias são comparadas em função de I_{out} e com V_{out} constante (figuras 7, 8 e 9), verifica-se que o *boost 1* é mais estável e apresenta uma eficiência superior ao *boost 2* e ao *boost 3*. Ainda que seus comportamentos sejam semelhantes quando $V_{out} = 2$ V ou $V_{out} = 3$ V, o *boost 2* possui eficiência inferior a 80% quando $V_{out} = 4$ V para qualquer valor de I_{out} , enquanto que o *boost 1* e o *boost 3* só apresentam eficiência menor do que 80% quando $I_{out} > 1,2$ A ou $I_{out} > 1,5$ A, respectivamente. Considera-se que o desempenho do *boost 3* seja superior ao do *boost 2*, pois, mesmo que sua eficiência seja inferior a 80% quando $V_{out} = 2$ V e $I_{out} = 1,2$ A, mantém sua eficiência em até 80% quando $V_{out} = 4$ V e I_{out} varia entre 0,5 e 1,5 A.

A estabilidade do comportamento do *boost 3* e a sua amplitude de operação em relação a V_{out} com eficiência superior a 80%, são mais relevantes para valores de taxas de conversão elevadas. Nem mesmo o *boost 1* possui eficiência superior a ele quando $V_{out} = 4$ V e $I_{out} > 1$ A, *i.e.* torna-se o único dentre eles que suporta essas condições de operação sem comprometer a sua eficiência.

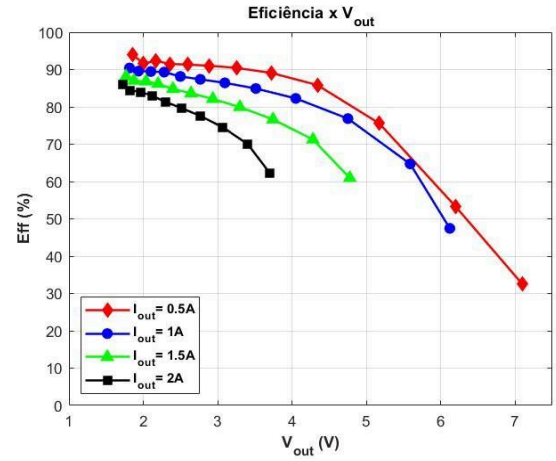


Fig. 4: Gráfico da Eficiência x V_{out} do boost 1

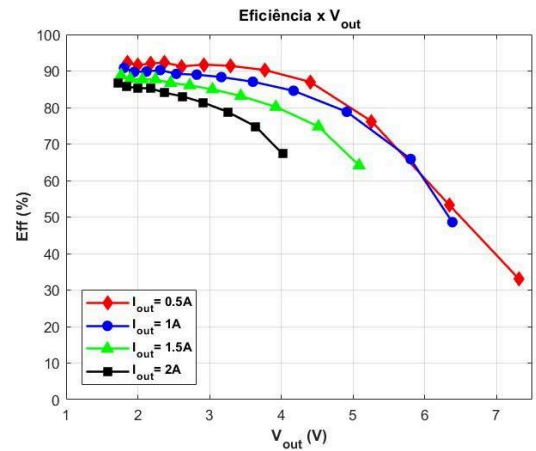


Fig. 5: Gráfico da Eficiência x V_{out} do boost 2

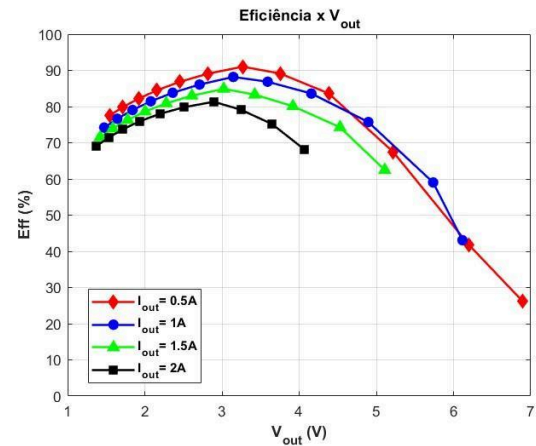


Fig. 6: Gráfico da Eficiência x V_{out} do boost 3

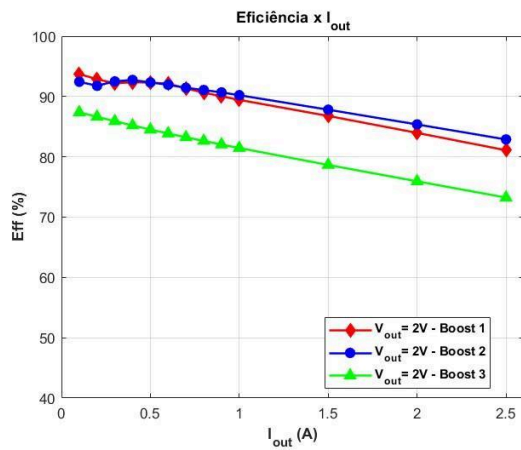


Fig 7: Gráfico da Eficiência $\times I_{out}$ com $V_{out} = 2V$

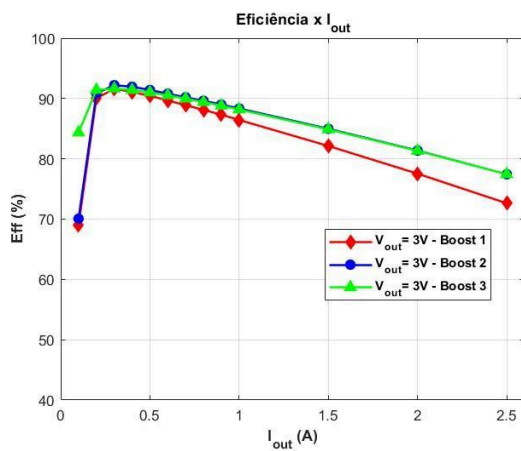


Fig 8: Gráfico da Eficiência $\times I_{out}$ com $V_{out} = 3V$

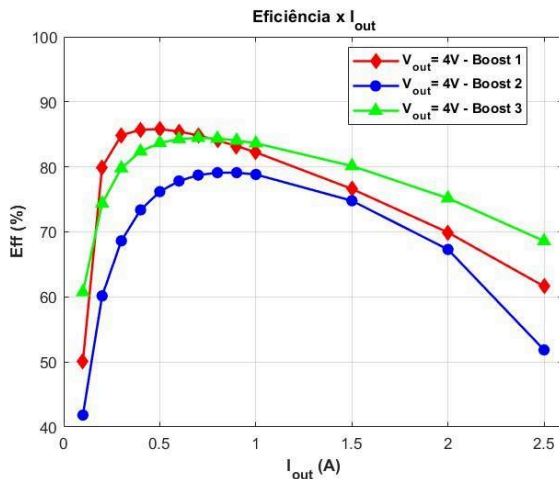


Fig 9: Gráfico da Eficiência $\times I_{out}$ com $V_{out} = 4V$

V. CONCLUSÃO

Com base nos resultados apresentados, demonstrou-se o funcionamento de três topologias de conversores PS3 integrado *on-chip*, com eficiências acima de 80% e

correntes de operação de até 2 A. O conversor *boost* em tecnologia CMOS de 130 nm, ainda não explorado pela literatura, exibiu taxas de conversão de 0,1 a 2,8 vezes a tensão de alimentação, permitindo selecionar a configuração que melhor se aplicava a cada caso. Além disso, verificou-se uma densidade de potência estimada de 1,98 mW/ μm^2 , 2,38 mW/ μm^2 e 1,2 mW/ μm^2 , respectivamente, nos conversores *boost* 1, 2 e 3 com 80% de eficiência. Por fim, a topologia *boost* 3 precisa ser pesquisada com mais profundidade, pois apresentou perdas de energia nos resultados de baixa tensão de saída.

AGRADECIMENTOS

Os autores agradecem ao grupo de concepção de circuitos e sistemas integrados (GICS) da UFPR por disponibilizar a ferramenta de simulação Cadence Virtuoso Studio.

REFERÊNCIAS

- [1] ABDULSLAM, A. A. A. Miniaturizing DC-DC Converters for Mobile Applications via Hybrid and Inductor-First Topologies. University of California San Diego: UC San Diego Electronic Theses and Dissertations. 2021.
- [2] CASTELLANOS, J. Integrated Hybrid Switched Converters: A Review. Journal of Integrated Circuits and Systems, v. 17, n. 1, p. 1–12, 30 abr. 2022..
- [3] ABDULLAH ABDULSLAM; MERCIER, P. P. 8.2 A Continuous-Input-Current Passive-Stacked Third-Order Buck Converter Achieving 0.7W/mm2 Power Density and 94% Peak Efficiency. 1 fev. 2019
- [4] Coilcraft, Shielded Power Inductors - EPL2014, documento 583-1, 2022. Disponível em: <<https://www.coilcraft.com/getmedia/15623392-06e7-4632-be8d-aa3126e08fae/epl2014.pdf>>